



# Ultiboard 電路配置與實習

林宗琪

國立中央大學太空科學研究所

西元2017年7月3日



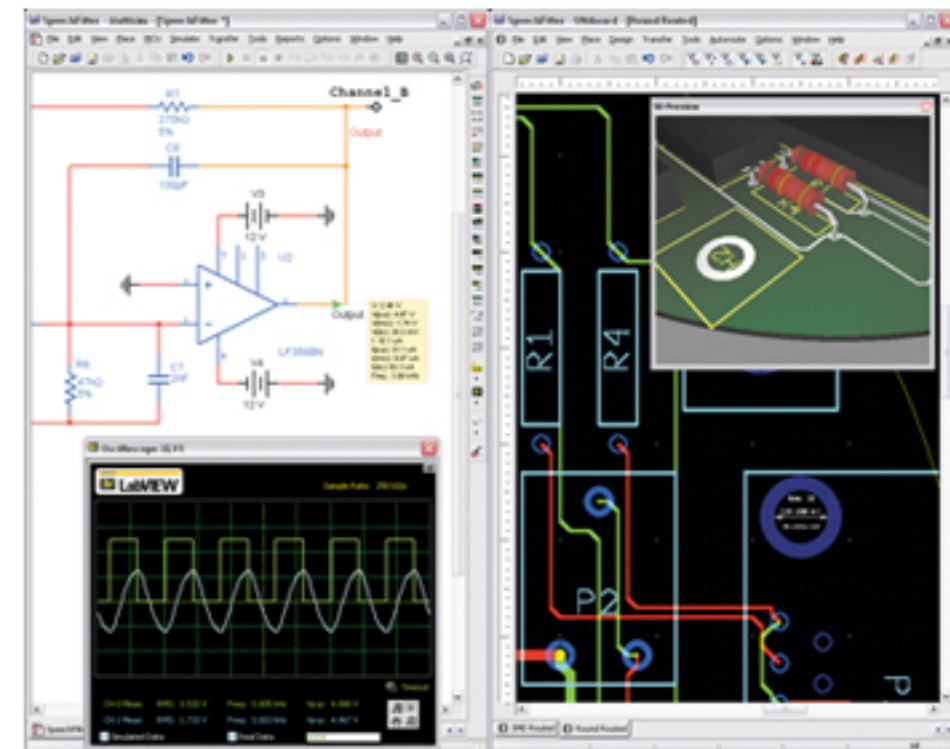
# 大綱

- 簡介
- Ultiboard 操作介紹
- 操作示範
- 練習題



# 簡介

- NI Circuit Design Suite 是一個提供**電路模擬**以及**印刷電路板元件配製**的套件軟體。
- NI Multisim 為電路模擬軟體。
- **NI Ultiboard** 則是電路配置軟體。
- 本課程將介紹如何使用電路配置軟體 Ultiboard。





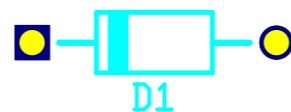
# 電路配製

- **Ultiboard** 可用於 PCB 电路板的**元件佈局與繞線**，包含基本的 CAD（電腦輔助設計）功能，並支援輸出後續所需的電路板製圖。

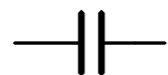


# Multisim、Ultiboard 元件比較

電阻



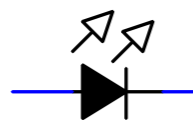
電容



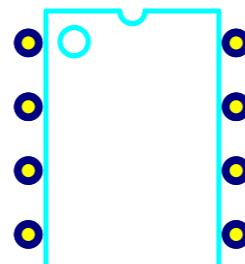
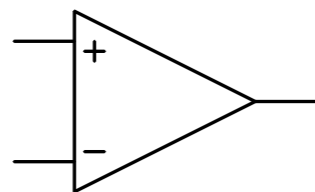
電感



發光二極體



運算放大器



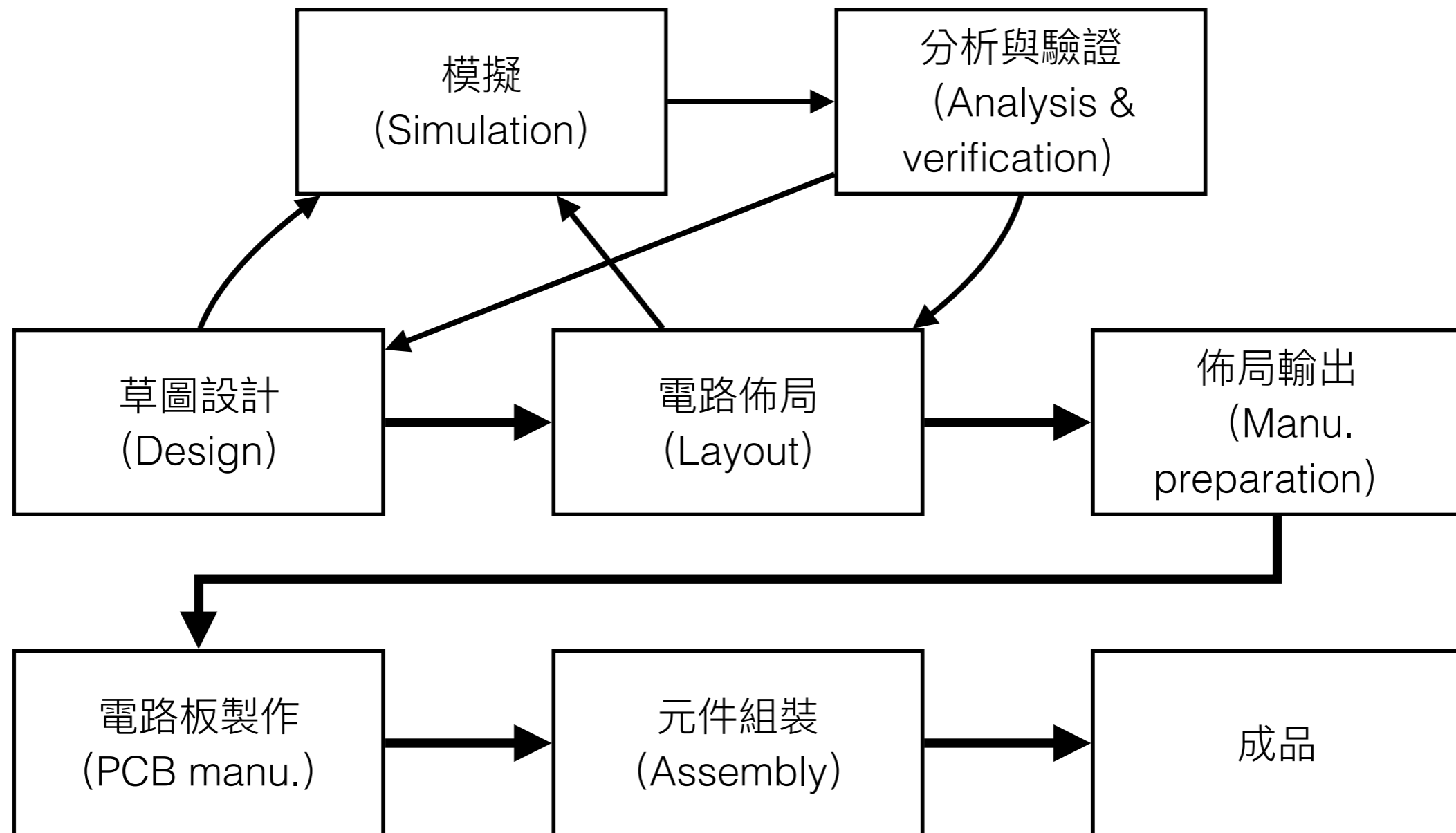
Multisim

Ultiboard

真實元件

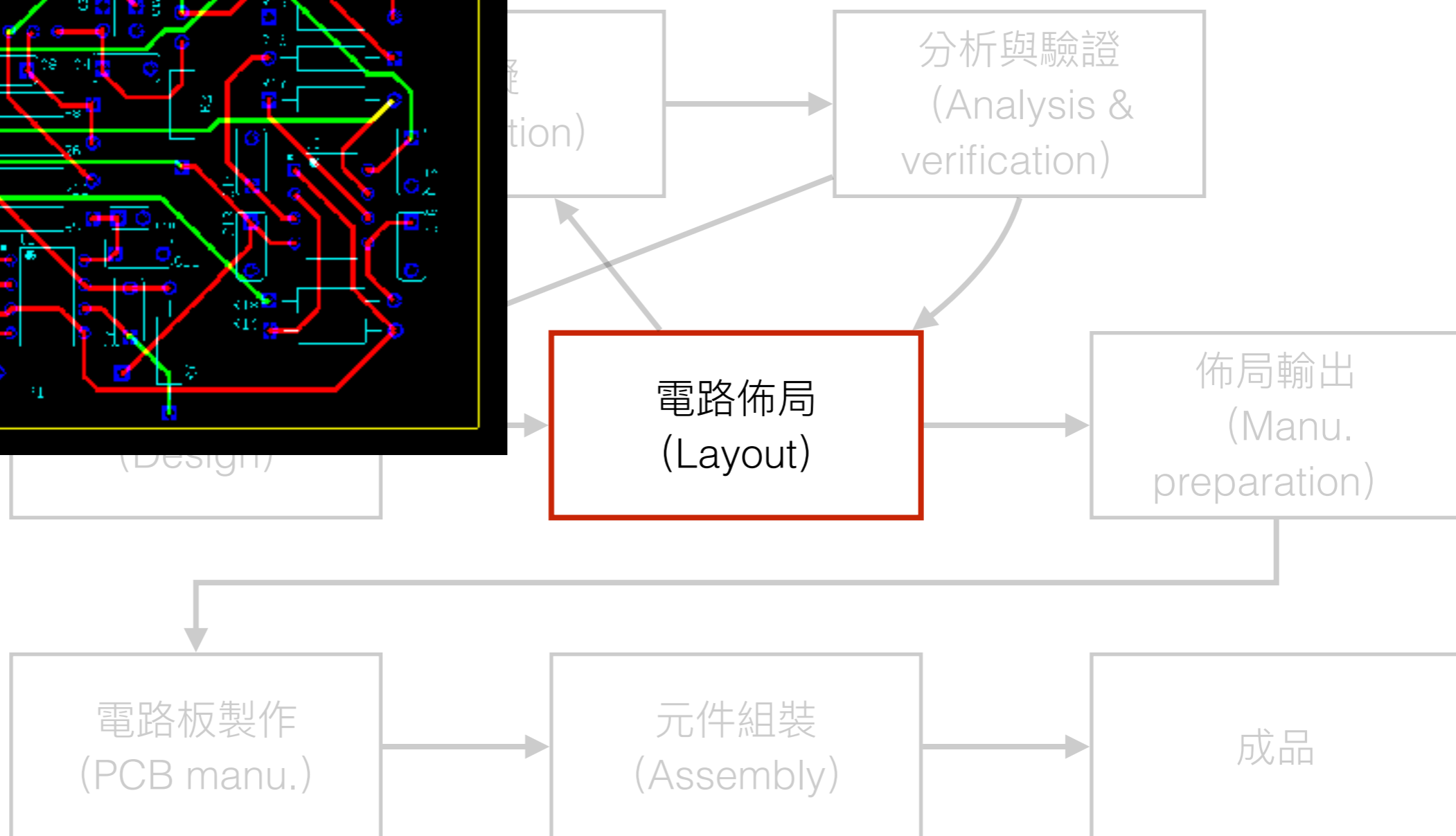
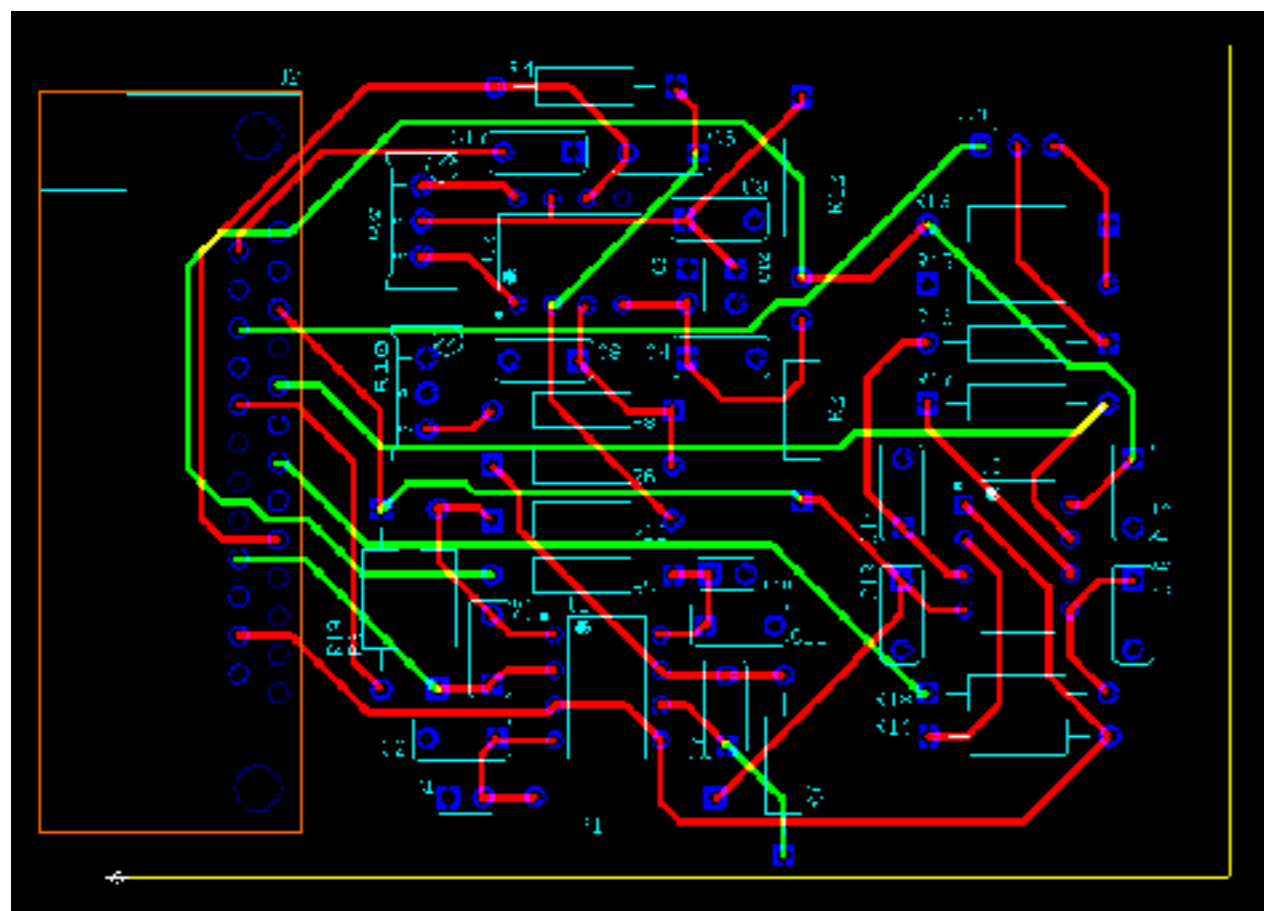


# 電路設計流程範例





# Ultiboard 與設計流程





# 如何啟動 Ultiboard

- 打開 Windows，至 **Start > All Programs > National Instruments > Circuit Design Suite XX.X > NI Ultiboard XX.X** 並啟動程式。
- 或至開始功能表，搜尋「Ultiboard」，並啟動程式。
- 以下範列版本為 Ultiboard 14.0。

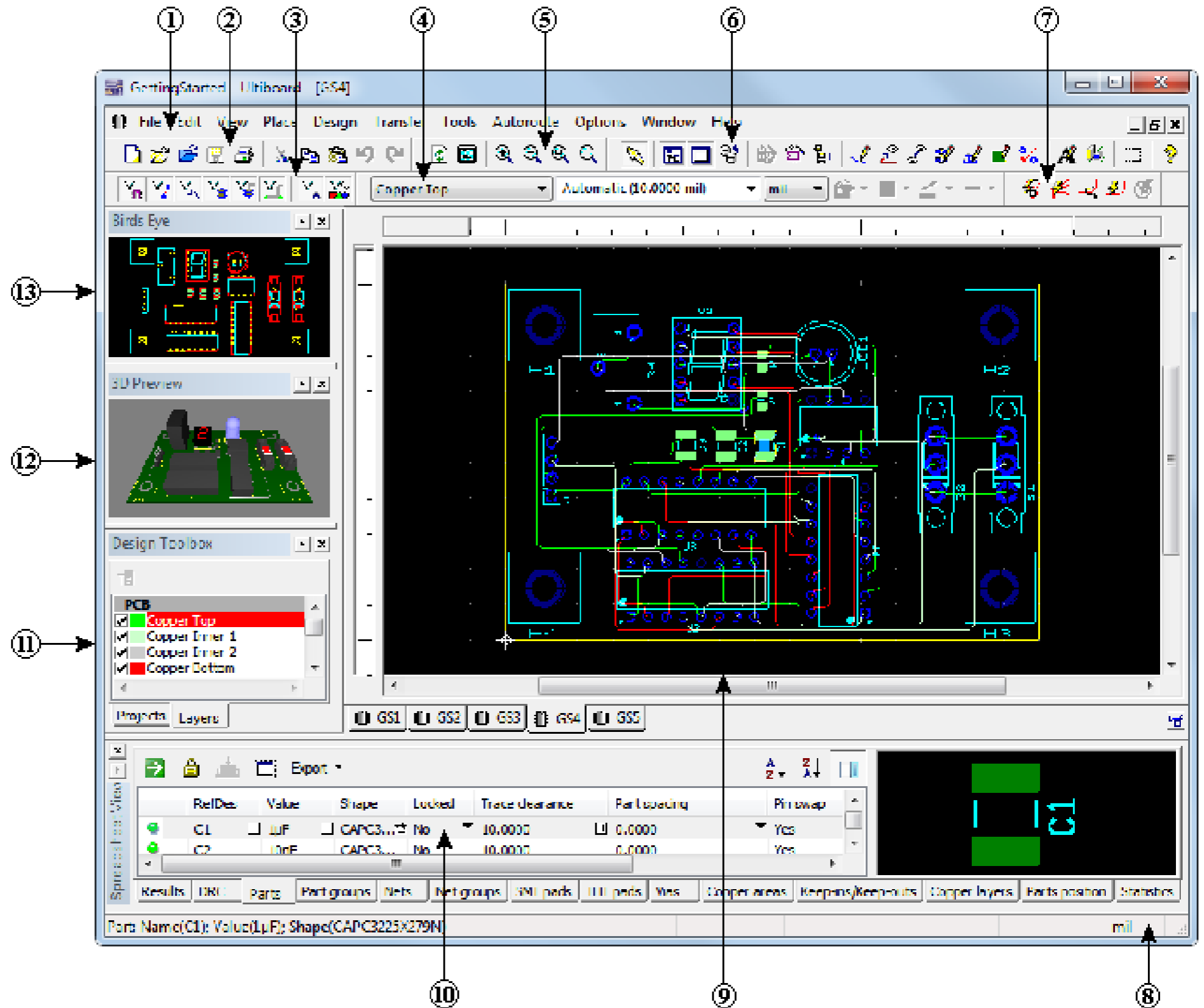






# Ultiboard 介面

- ① 功能選單
- ② 選取工具列
- ③ 選取工具列
- ④ 繪圖設定列
- ⑤ 檢視工具列
- ⑥ 功能面板
- ⑧ 即時狀態
- ⑨ 工作區
- ⑩ 屬性表單
- ⑪ 設計工具箱



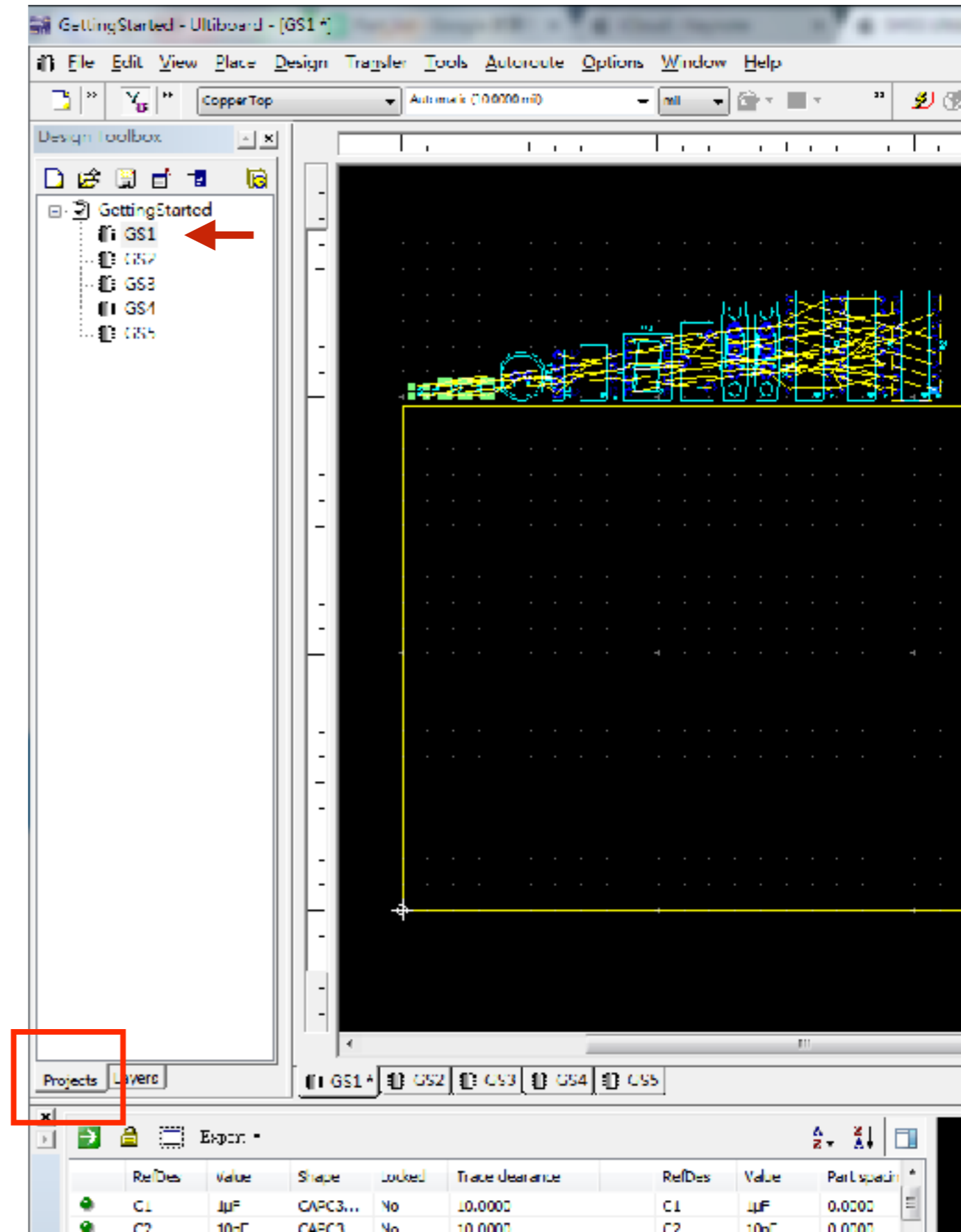


# Ultiboard 操作 - 以內建的範本為例



# 開啟 Ultiboard 範本

- 從 ① 功能選單中選擇 **File > Open samples**，打開 **Getting Started** 資料夾，並開啟 **GettingStarted.ewprj** 專案。
- 從 ① 功能選單中的 **File > Save as...** 將專案另存為一個新專案。把新專案存在容易找到的位置。
- 在 ⑪ 設計工具箱的 **Project** 頁籤中，選擇 **GS1**。





# 選取設定

- 在 ⑪ 設計工具箱 **Layers** 頁籤中，可選取編輯圖層，也可利用勾選方式，調整工作區顯示狀況。以選擇的圖層其字底為紅色。
- **Ratsnest** 為導引線資訊。
- 透過 ③ 選取工具列決定目前可選取項目，能快速的啟用或關閉 ⑨ 工作區中，精準利用可不同類別物件的選取性，更加方便使用電路佈局軟體。



元件



通孔



導線



貼片焊墊



銅箔區域



文字

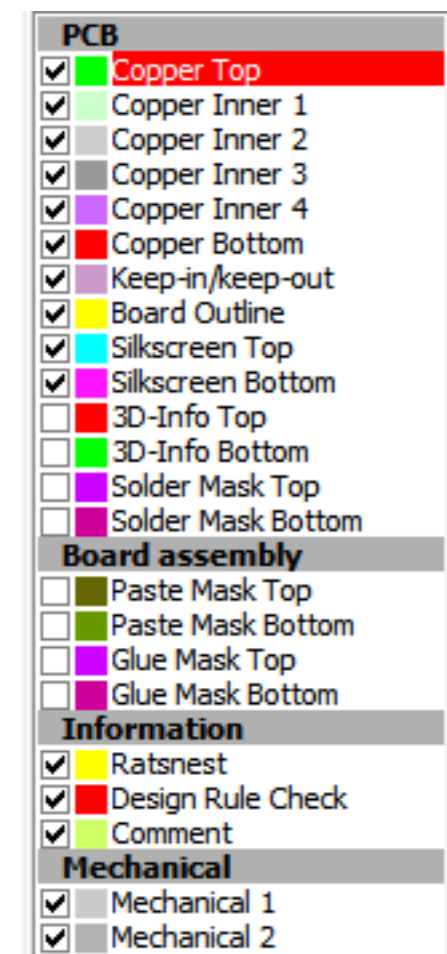


導孔

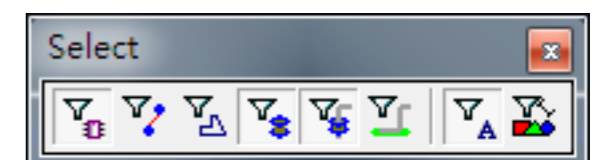


其他

## 設計工具箱



## 選取工具列





# 自訂電路板尺寸— 以 Board Wizard 為例

1. 在 ⑪ 設計工具箱的 **Layers** 頁籤中，選擇 **Board Outline**。
2. 在 ⑨ 工作區中，選取 board outline（預設為黃色線）並以 **Delete** 鍵刪除。  
需注意在 ③ 選取工具列中是否有開啟對應的選取選項（最右邊的按鈕）
3. 在 ① 功能選單中選擇 **Tools > Board wizard**。
4. 待 **Board Wizard - Board Technology** 開啟後，層板技術勾選 **Change the layer technology**。
5. 選擇 **Multi-layers constructed with double-sided boards (layer pairs)**，並按 **Next**。



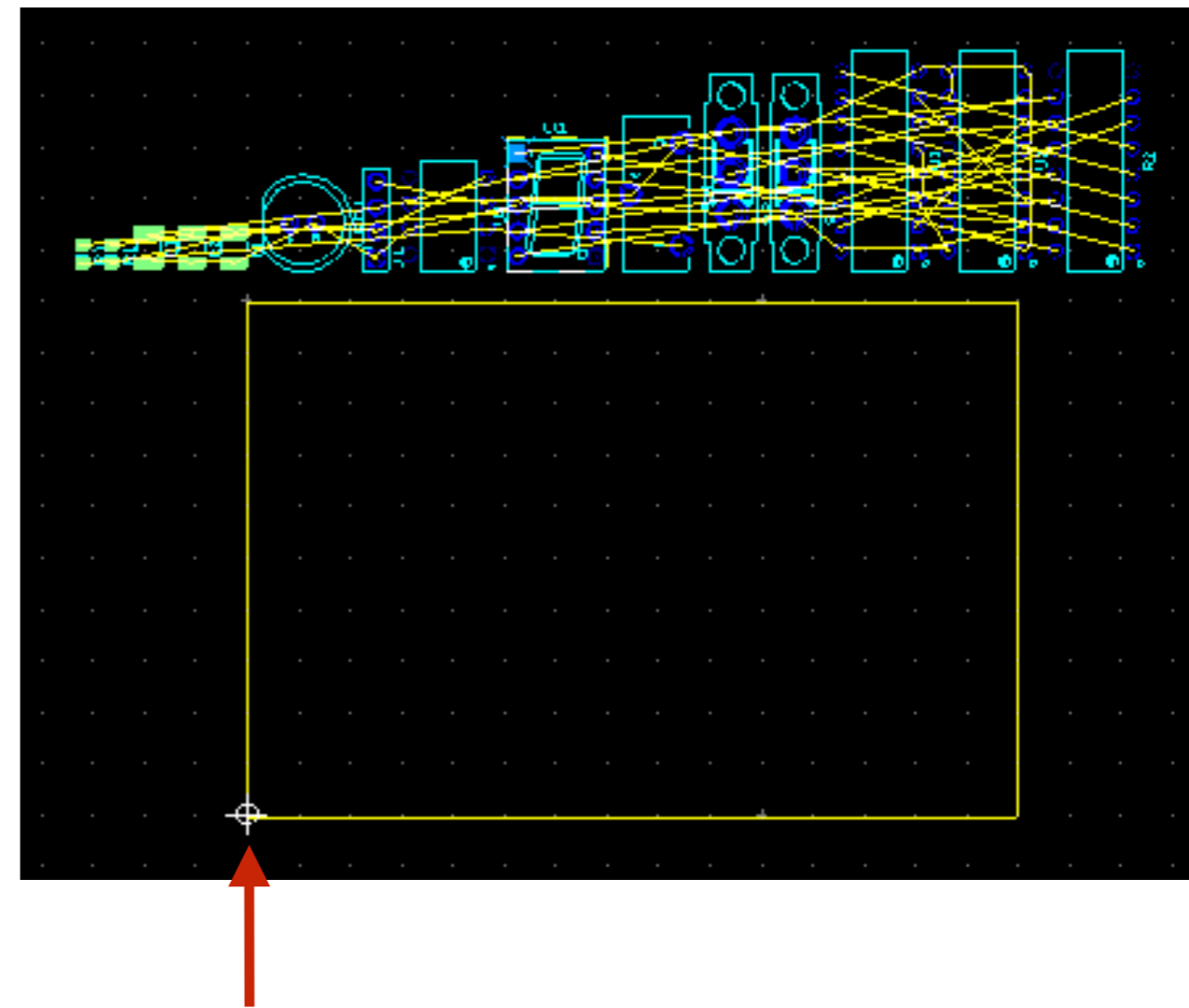
# 自訂電路板尺寸— 以 Board Wizard 為例 (續)

6. 將 **Layer pairs** 設定為 2。 **Blind vias** 不勾選。
7. 選擇 **Next** 後，在 **Board Wizard - Shape of Board** 視窗中
  1. 將 **Units** 設定為 **mm**。
  2. 將 **Reference point** 的 **Alignment** 設定為 **Bottom-left**。
  3. 在 **Board shape and size** 中選擇 **Rectangular**。
  4. 將 **Width** 設定為 **76.2 mm**、**Height** 設定為 **50.8 mm**。
  5. 將 **Clearance** 設定為 **0.127 mm**。
8. 選取 **Finish** 完成 Board outline 的設定。



# 設定座標參考點

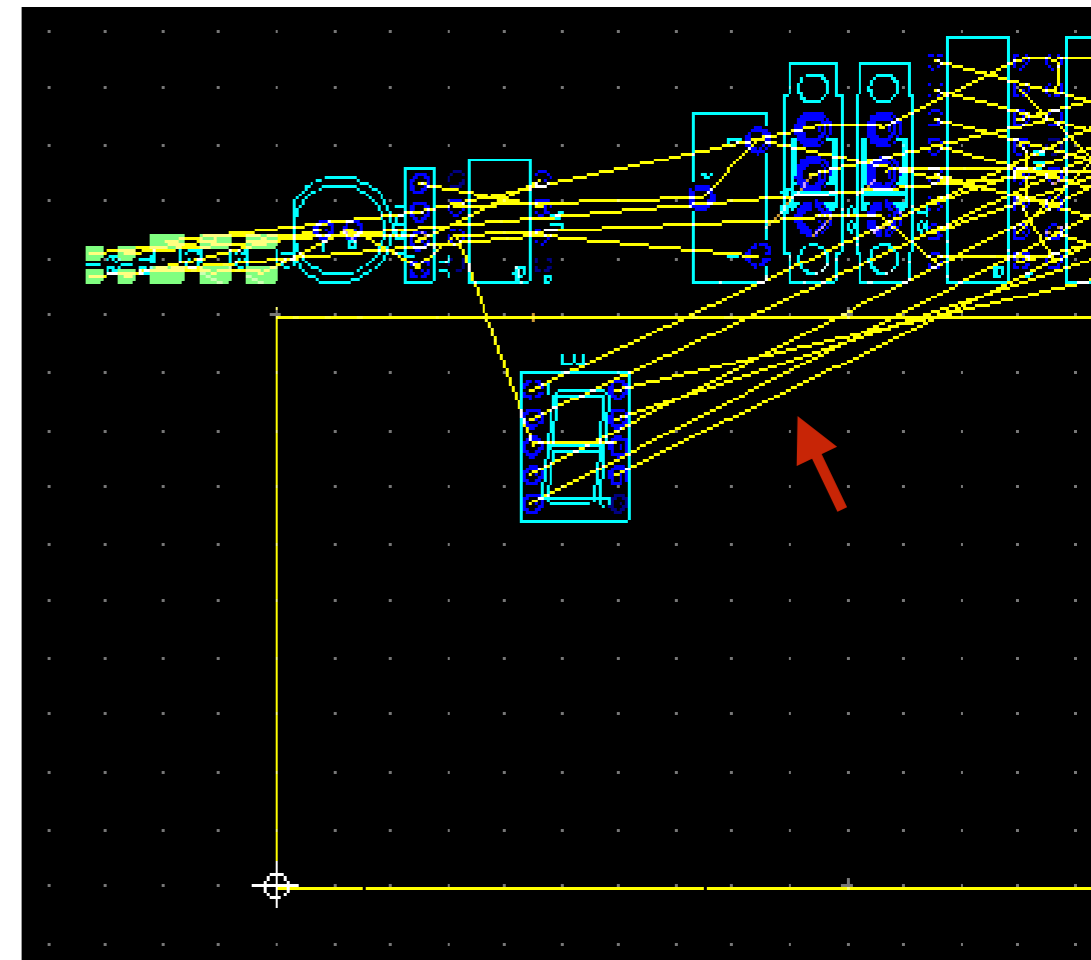
- 在 ① 功能選單中選擇 **Design > Set reference point**，並透過游標來放置**參考點**。
- ◆ 透過 <Shift-8> 快捷鍵設定參考點座標。





# 置入工作元件方法一

- 以置入 U1 元件至工作區為例：
  - 在 ⑪ 設計工具箱的 **Layers** 頁籤中，選擇 **Copper Top**。
  - 以滑鼠移動 U1 元件至 Board Outline 內。
- ◆ 移動元件時，**導引線** (ratsnest) 會跟著移動。







# 元件與屬性表單

- 在 ⑩ 屬性表單的 **Parts** 分頁中，移動到 **Board Outline** 內的元件，指示燈會顯示為亮綠色。
- 使用者可以透過 ⑩ 屬性表單檢示元件 (Parts)、接線 (Net)、接點 (pads)、貫孔 (Vias)、群組 (Group) 等資訊。

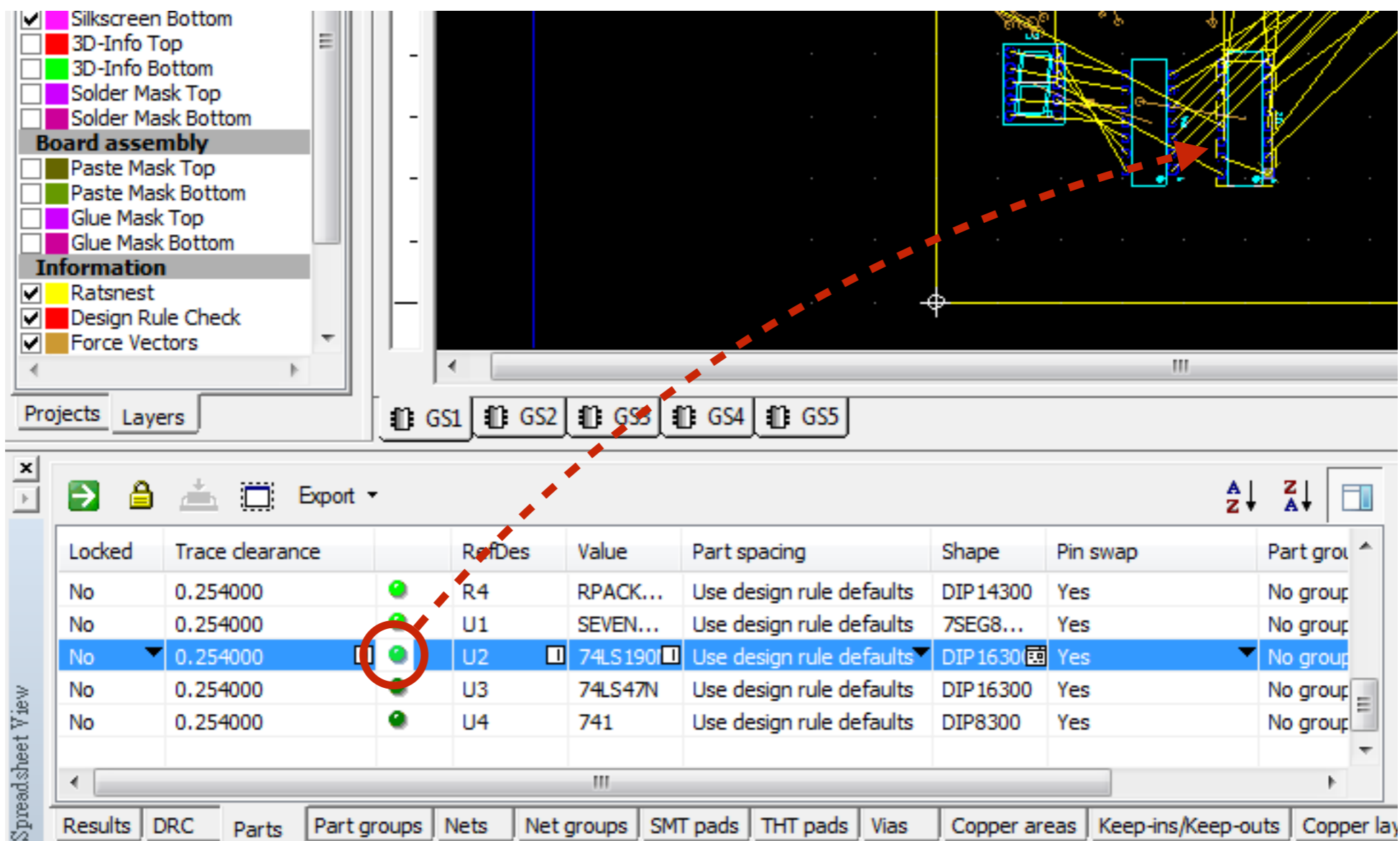
Locked	Trace clearance		RefDes	Value	Part spacing	Shape	Pin swap	Part group
No	0.254000	●	R4	RPACK...	Use design rule defaults	DIP14300	Yes	No group
No	0.254000	□ ●	U1	SEVEN...	Use design rule defaults	7SEG8...	Yes	No group
No	0.254000	●	U2	74LS190N	Use design rule defaults	DIP16300	Yes	No group
No	0.254000	●	U3	74LS47N	Use design rule defaults	DIP16300	Yes	No group
No	0.254000	●	U4	741	Use design rule defaults	DIP8300	Yes	No group

Results DRC **Parts** Part groups Nets Net groups SMT pads THT pads Vias Copper areas Keep-ins/Keep-outs Copper layers Parts position Statistics



# 置入工作元件方法二

- 以滑鼠拖曳 ⑩ 屬性表單中 **Parts** 分頁內的元件指示燈，至 ⑨ 工作區中，完成元件的移動（注意拖曳至 Board Outline 內指示燈會亮起）。





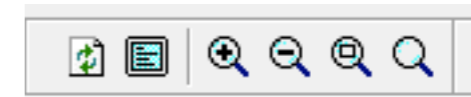
# 導引線 (ratsnest)

- 導引線是黃色的長直線，連結各元件的接腳。由 Netlist 定義。
- Netlist 在 Multisim 專案匯出時即包含。
- ◆ 可以透過 Netlist editor 來更新 Netlist：在 ① 功能選單，選取 **Tools > Netlist editor**。

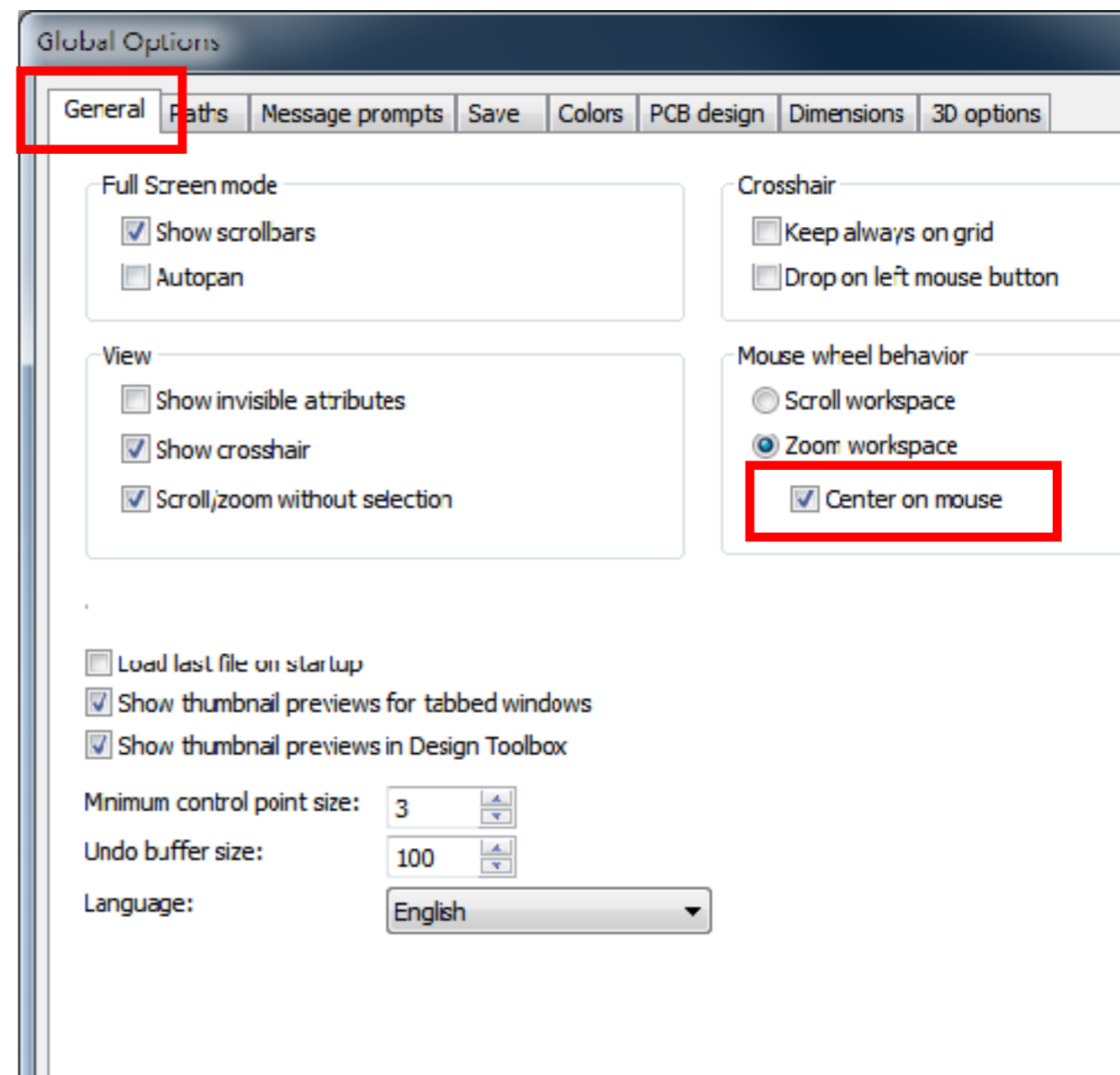


# 可視範圍

- 在 ⑤ 檢視工具列中，調整可視範圍。
- 以滑鼠滾輪來**放大、縮小**可視範圍。
- 按壓滑鼠**中鍵**來**移動**可視範圍。
- 按壓 <Shift> 鍵啟動**邊緣移動**功能。
- 設定以滑鼠為中心縮放可視範圍
  - 在①功能選單中選擇 **Options>Global option**
  - 在**General** 頁籤中，勾選 **Center on mouse**

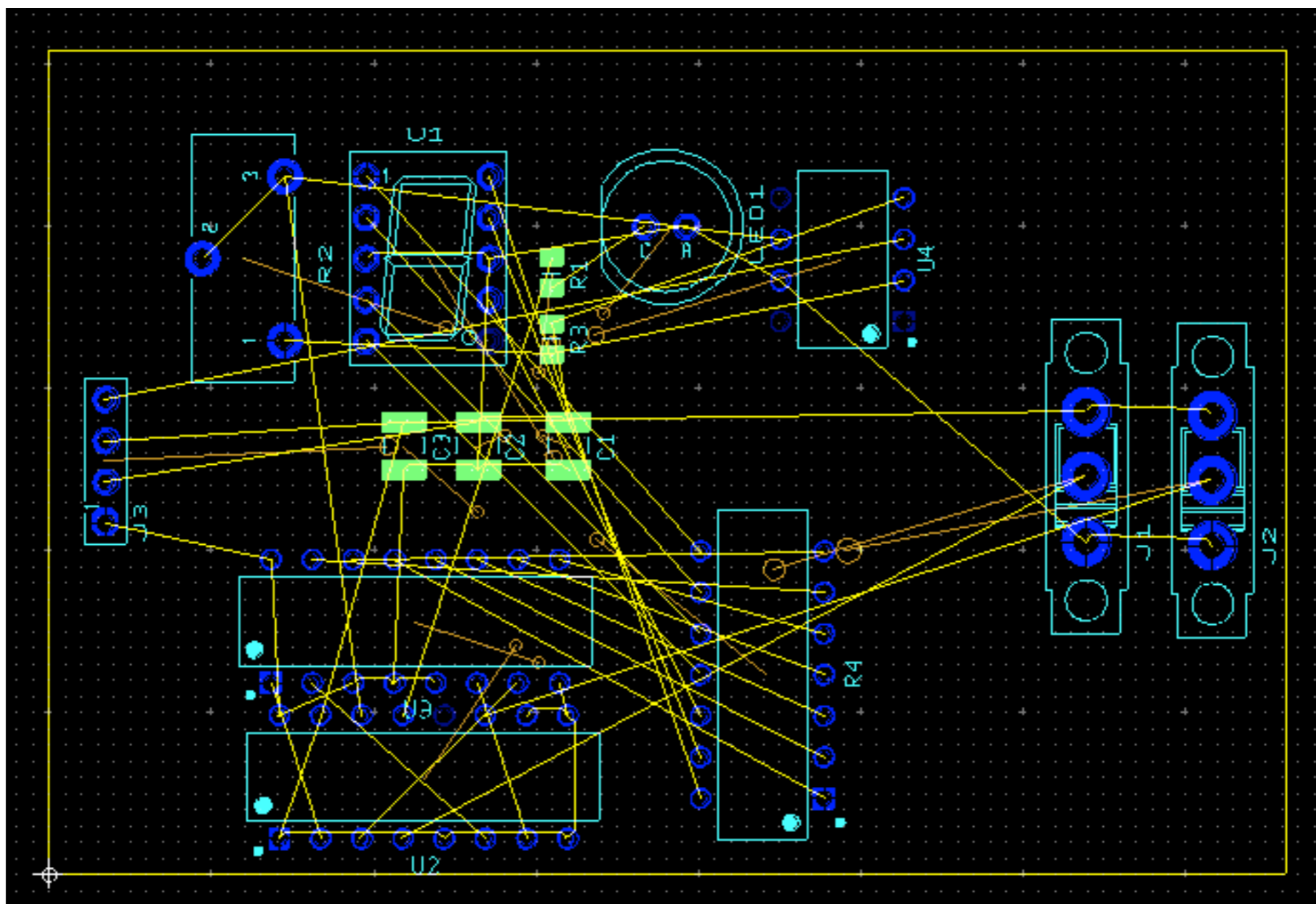


⑤ 檢視工具列





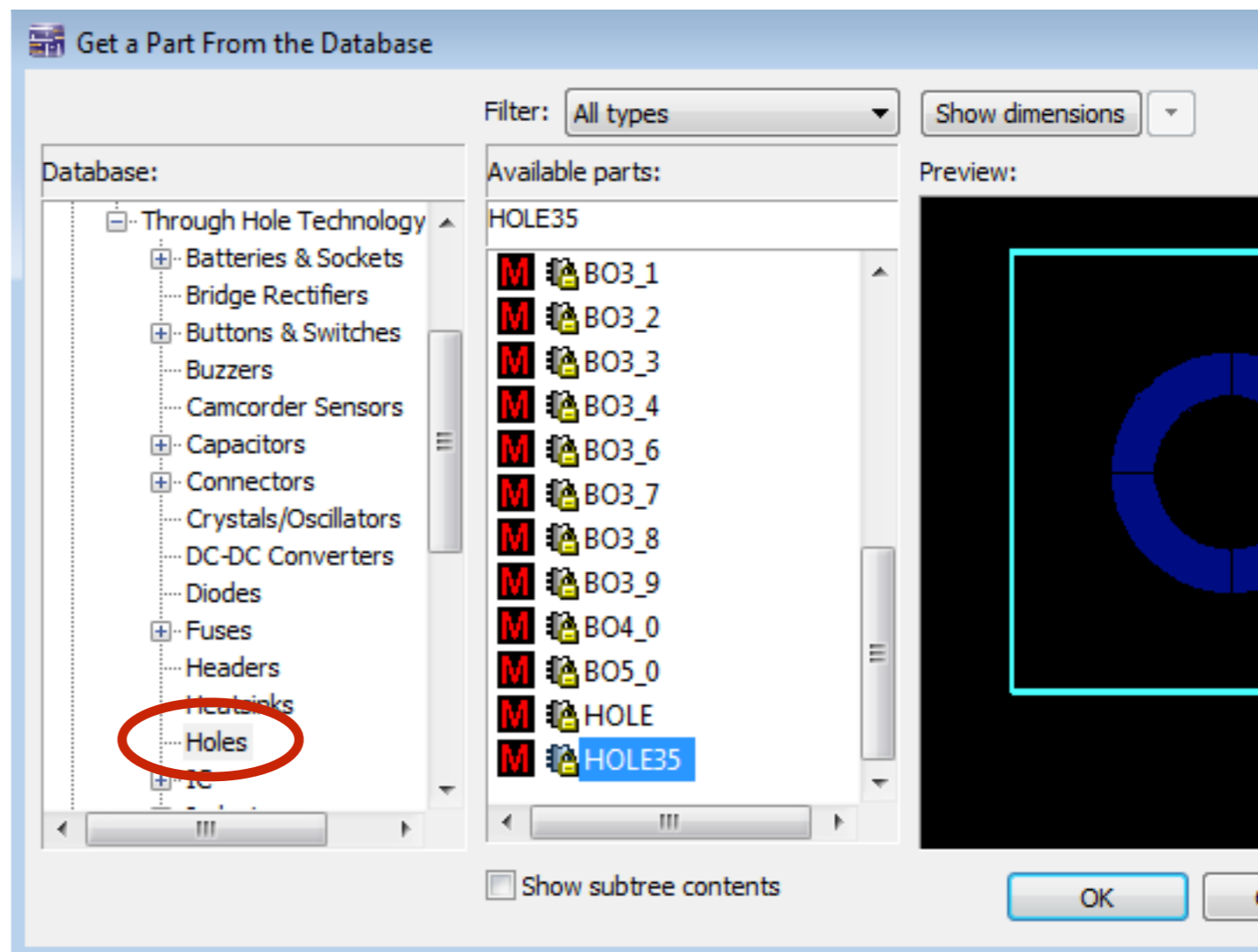
# 將所有元件置入 Board Outline





# 新增元件：銅柱孔

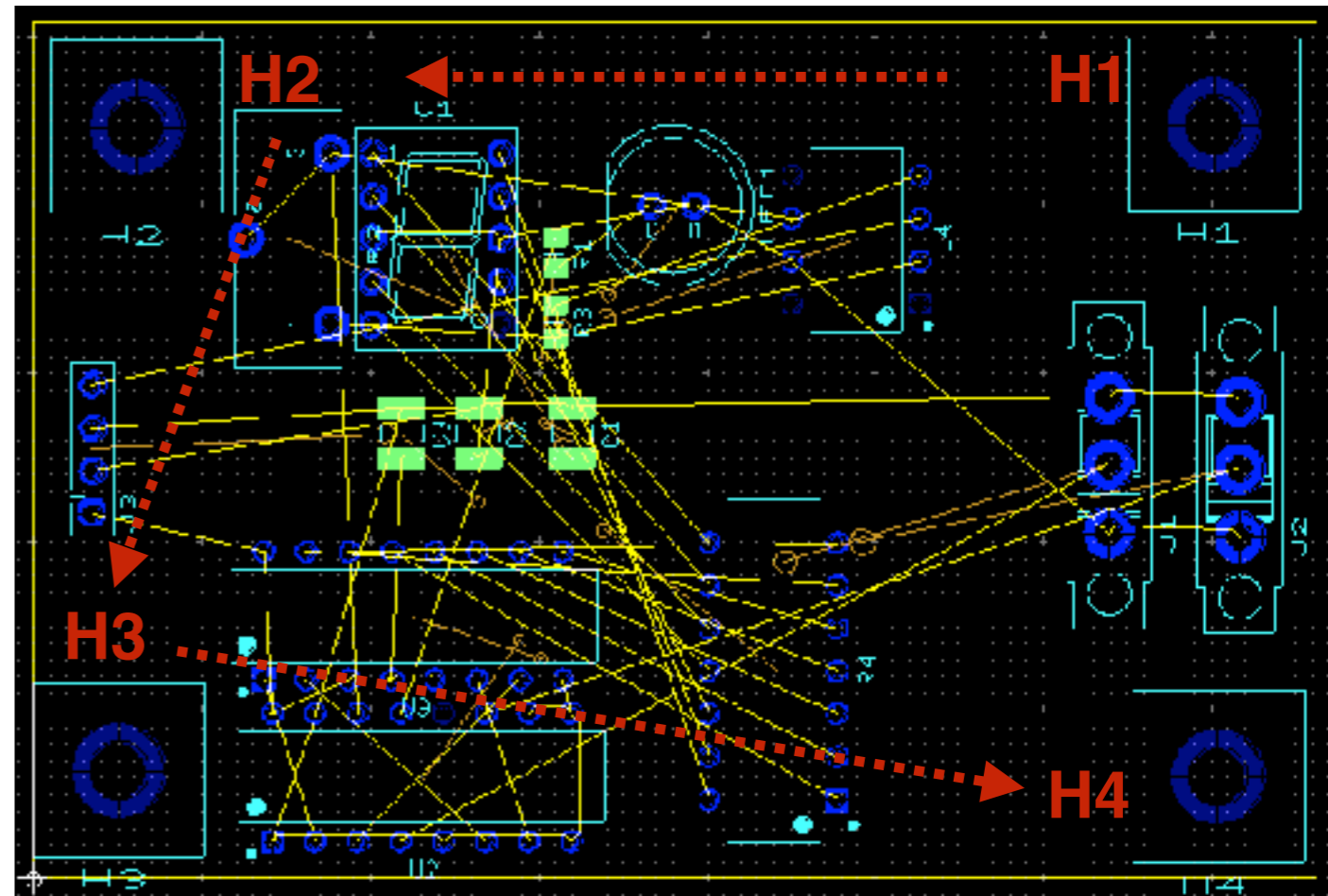
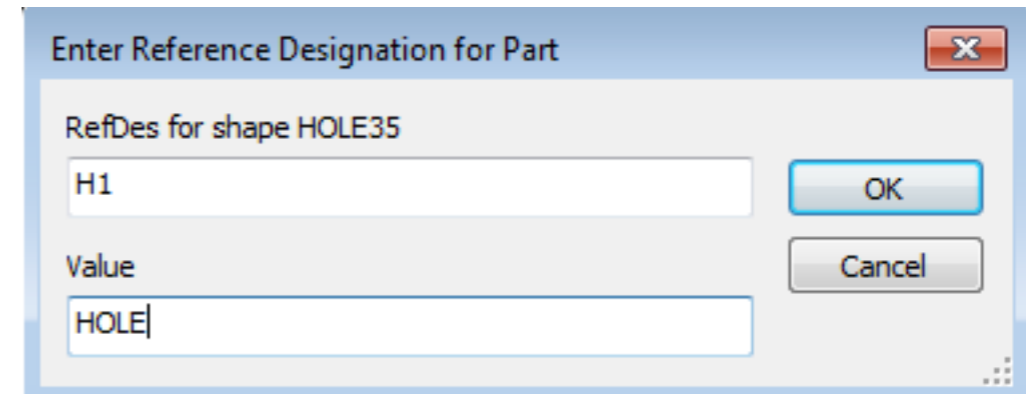
- 從 ① 功能選單中，**Place > From Database**，開啟 **Get a Part From the Data Base** 視窗。
- 在左側的 **Database** 選單中，展開 **Ultiboard Master > Through Hole Technology Parts**，並選取 **Holes**。
- 在中間的 **Available parts** 選單中，找到 **HOLE35**。按下 **OK**。





# 新增元件：銅柱孔（續）

- 此時 **Enter Reference Designation for Part** 視窗跳出，將 **RefDes for...** 設定為 H1，**Value** 設定為 HOLE。
- 按下 **OK** 放置元件。依序將 H1 到 H4 放置在四個角落。





# 移動元件

- 方法一：直接以滑鼠拖曳元件。
  - 方法二：選取元件後，透過快捷鍵 <Shift-8> 設定元件置放的座標。
  - 方法三：以滑鼠拖曳 ⑩ 屬性表單中 **Parts** 分頁內的元件指示燈，重新放置對應的元件。
- 
- ◆ 只保留 ③ 選取工具列中的 **Enable Selecting Parts** 選項，讓移動元件更加容易。
  - ◆ 以 <Shift> 鍵選取並移動數個元件。



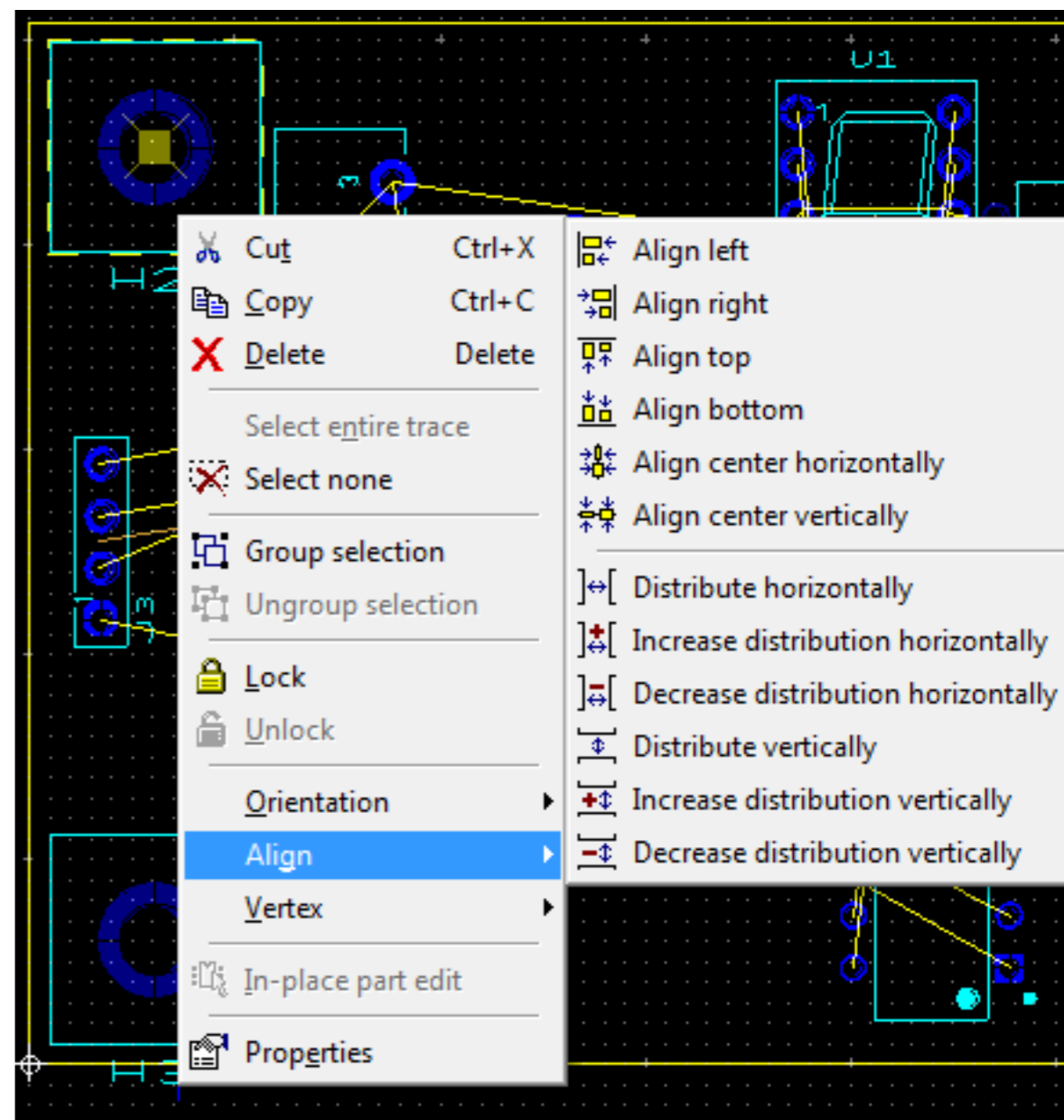
③ 選取工具列





# 對齊

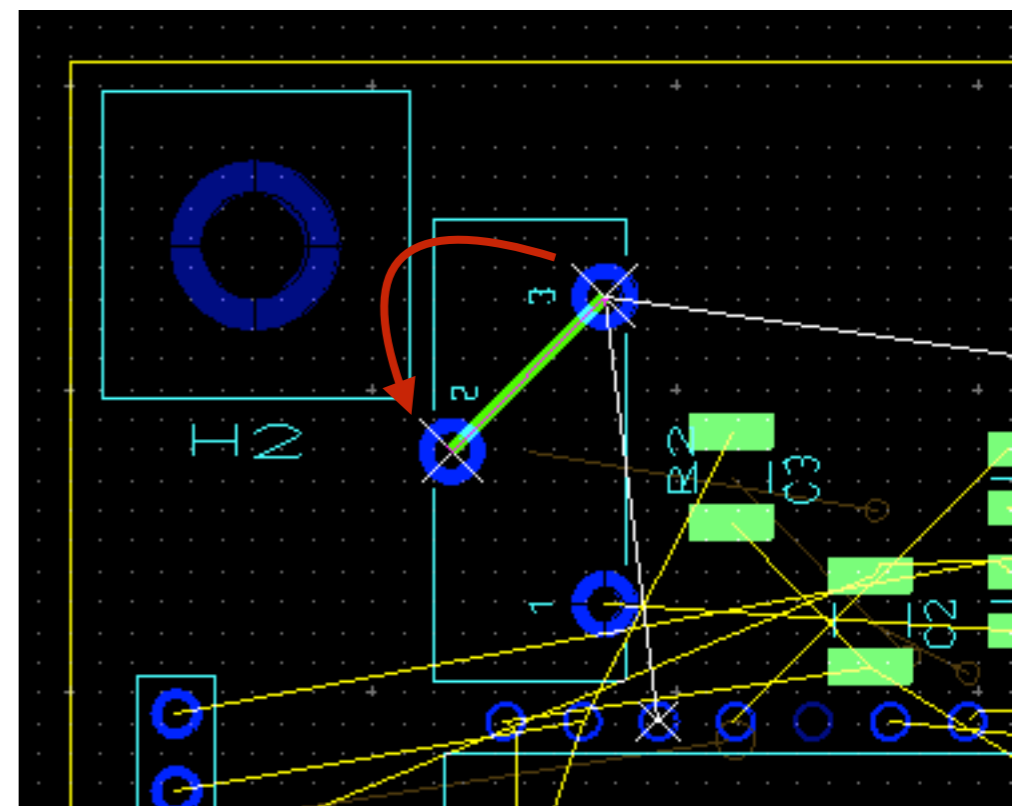
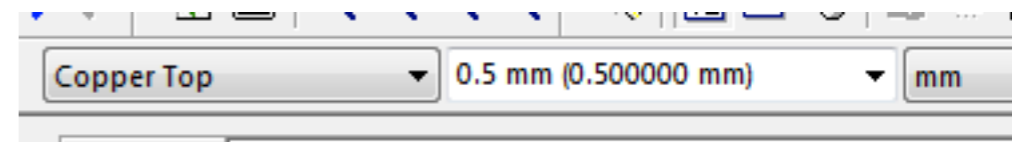
- 以游標框選或以<Shift>鍵選取多個元件後，從 ① 功能選單中 **Edit > Align** 中選擇預對齊的方式。
- 在 **Edit > Align** 也能找到元件分佈的選項。
- 對齊功能也能夠在滑鼠右鍵的選單中找到。
- ◆ 使用 **Lock** 鎖著元件，強化對齊的功能





# 接線

- 在 ⑪ 設計工具箱的 **Layers** 分頁中，選擇 **Copper Top**。
- 選取 ① 功能選單中的 **Place > Line** 進入接線模式。
- 在 ④ 繪圖設定列中，將線寬設定為 **0.5 mm**（上圖）。
- 在 ⑨ 工作區中，先點選某一個元件接腳，再依**導引線**的輔助，完成接線（下圖）。
- ◆ 完成的接線能以滑鼠選取並調整。
- ◆ 使用 <ESC> 鍵離開接線模式。





# 接線 (續)

- ◆ ① 功能選單中的 **Place > Line** 功能，也能在 ⑥ 功能面板中的 **Line** 工具找到。
- ◆ 試著使用 ① 功能選單中 **Place > Follow-me** 與 **Place > Connection Machine** 的功能。
- ◆ 在 ⑩ 屬性表單中 **Nets** 分頁中，可以看到所有接線的屬性。



⑥ 功能面版

The screenshot displays the 'Nets' property table in the software interface. The table lists various net names and their associated properties. The 'ANALO...' net is highlighted in blue. To the right of the table is a preview window showing a green trace on a black background, enclosed in a yellow rectangular frame. At the bottom of the interface, a red arrow points to the 'Nets' tab in the bottom navigation bar.

Net name	Locked	Trace width	Max width	Min width	Topology	Trace length	Max len
23	No	0.254000	10.000000	0.001000	Shortest	0.000000	N/A
24	No	0.254000	10.000000	0.001000	Shortest	0.000000	N/A
GND	No	0.254000	10.000000	0.001000	Shortest	0.000000	N/A
VCC	No	0.254000	10.000000	0.001000	Shortest	0.000000	N/A
ANALO...	No	0.254000	10.000000	0.001000	Shortest	51.304815	N/A



# 練習題 #0

- 依照前述指示，一步一步的完成 **GettingStarted.ewprj** 專案的設計。



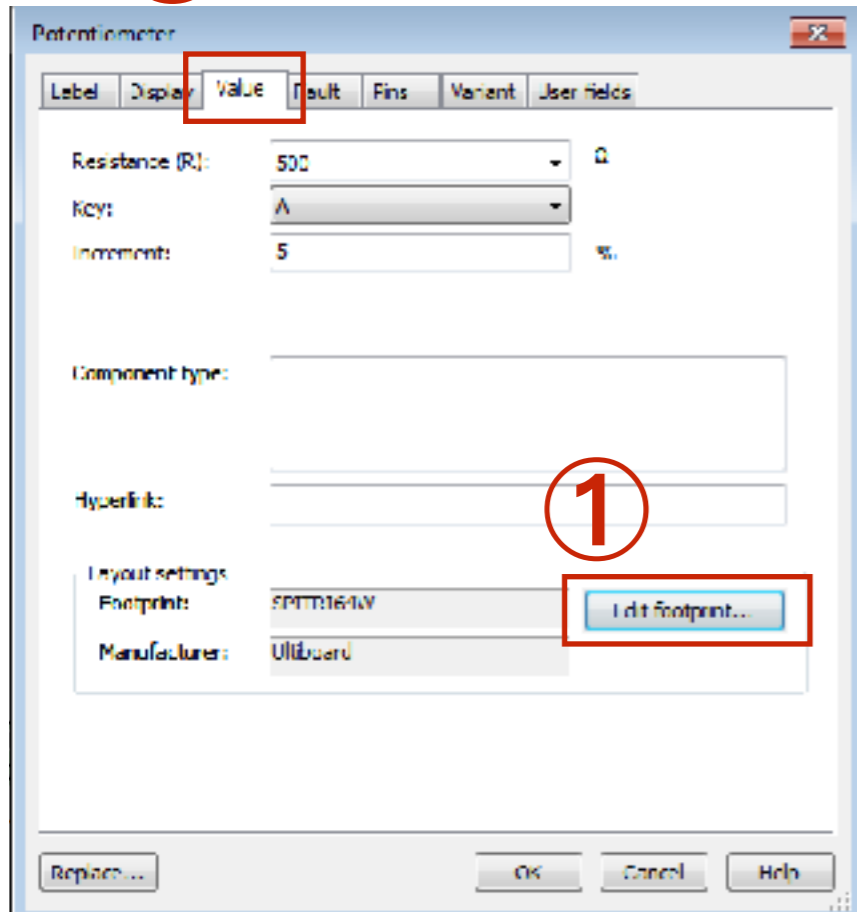
# 更改元件腳位 - 以可調電阻為例

- 至 <https://goo.gl/xhY9Eq> 下載 Change package.ms14檔案。
- 雙擊可調電阻，開啟屬性視窗。
- 找到 **Value** 分頁，點擊 **Edit footprint...**。
- 在 **Edit footprint** 視窗中，點擊 **Select from Database**。
- 在 **Select a footprint** 視窗中，選擇 **SPITRI64W**。
- 點擊視窗下方的 **Select** 完成設定。

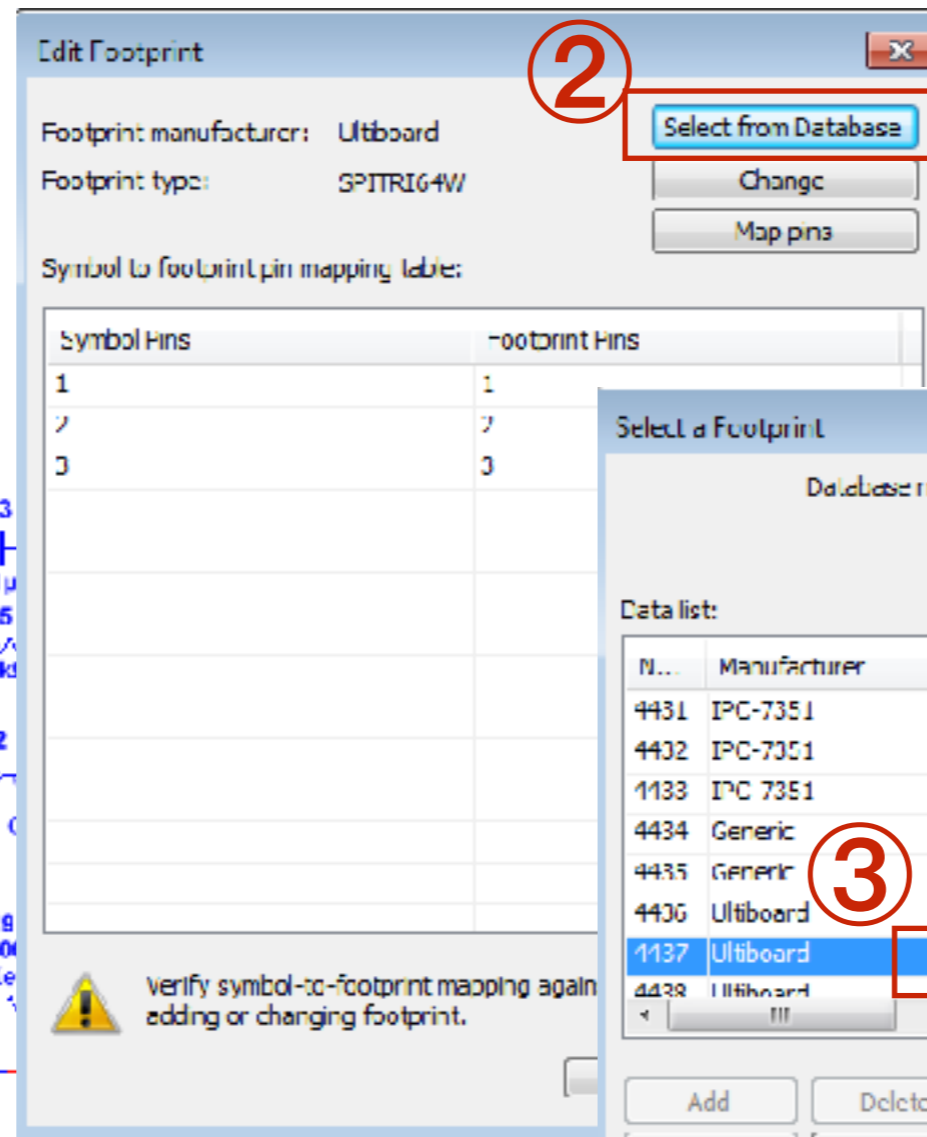


# 更改元件腳位

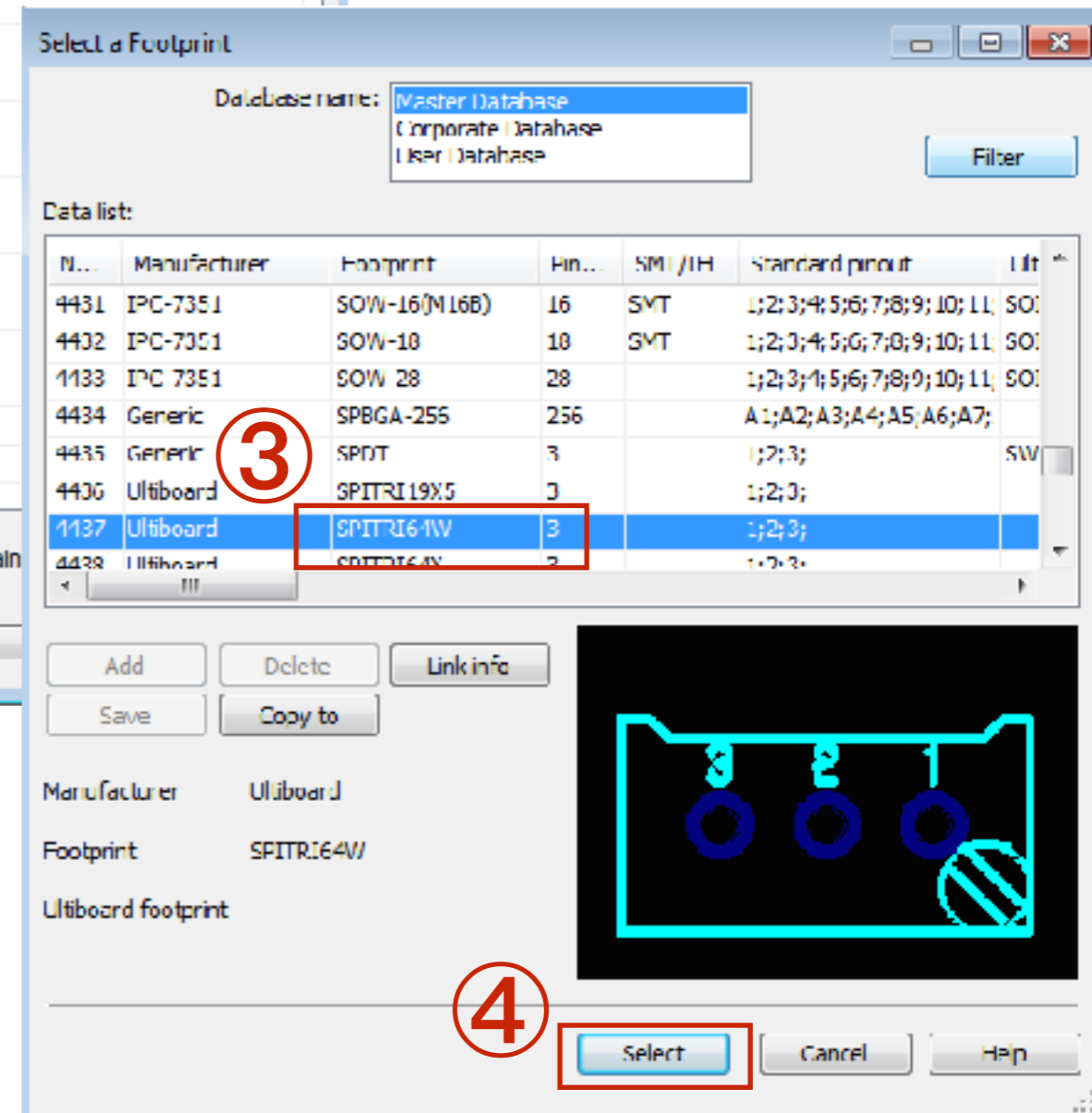
0



2



3

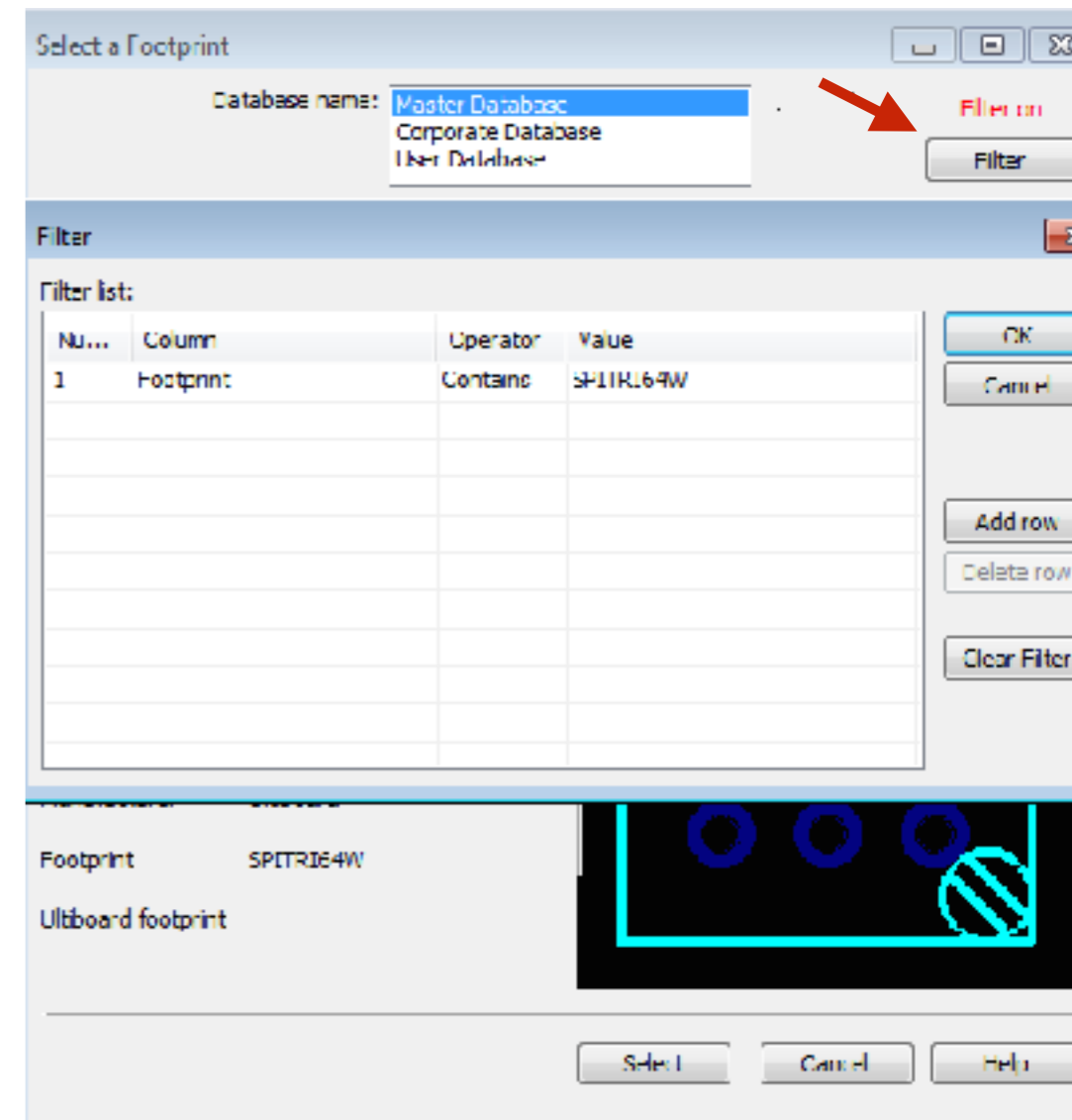


4



# 更改元件腳位，使用過濾條件

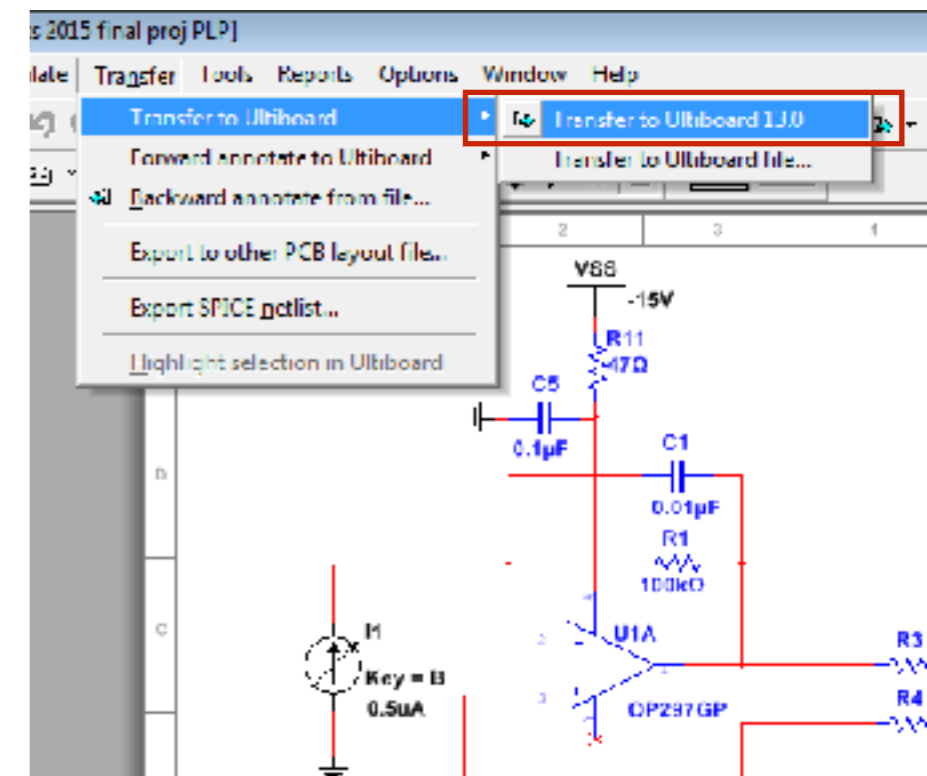
- 在 **Select a footprint** 視窗中，點擊 **Filter** 開啟 **Filter** 視窗。
- 利用 **Add row** 加入過濾條件，內容為「Footprint」、「Contain」、「SPITRI64W」。
- 點擊 **OK** 完成設定。





# Multisim 輸出至 Ultiboard

- 在 Multisim 的功能選單中，找到 **Transfer > Transfer to Ultiboard > Transfer to Ultiboard XX.X**。







# Multisim 輸出至 Ultiboard

Item	Action in Layout	Status
Layers Copper Bottom, Copper Top	Add layers Copper Bottom, Copper Top	<input type="checkbox"/>
Net 0	Add net 0	
Net 0	Add R7 pin 1 to net 0	
Net 0	Add R7 pin 2 to net 0	
Net 0	Add C4 pin 2 to net 0	
Net 0	Add C5 pin 2 to net 0	
Net 0	Add C6 pin 2 to net 0	
Net 0	Add C7 pin 2 to net 0	
Net 0	Add C8 pin 2 to net 0	
Net 1	Add net 1	
Net 1	Add U1 pin 1 to net 1	
Net 1	Add R1 pin 2 to net 1	
Net 1	Add R3 pin 1 to net 1	
Net 1	Add C1 pin 2 to net 1	
Net 2	Add net 2	
Net 2	Add U1 pin 7 to net 2	
Net 2	Add R2 pin 2 to net 2	
Net 2	Add R4 pin 1 to net 2	
Net 2	Add C2 pin 2 to net 2	

**Additional information:**

前頁輸出 Netlist 後，Ultiboard 會自動開啟。  
按 OK 匯入 Netlist 至 Ultiboard。

OK Cancel Help



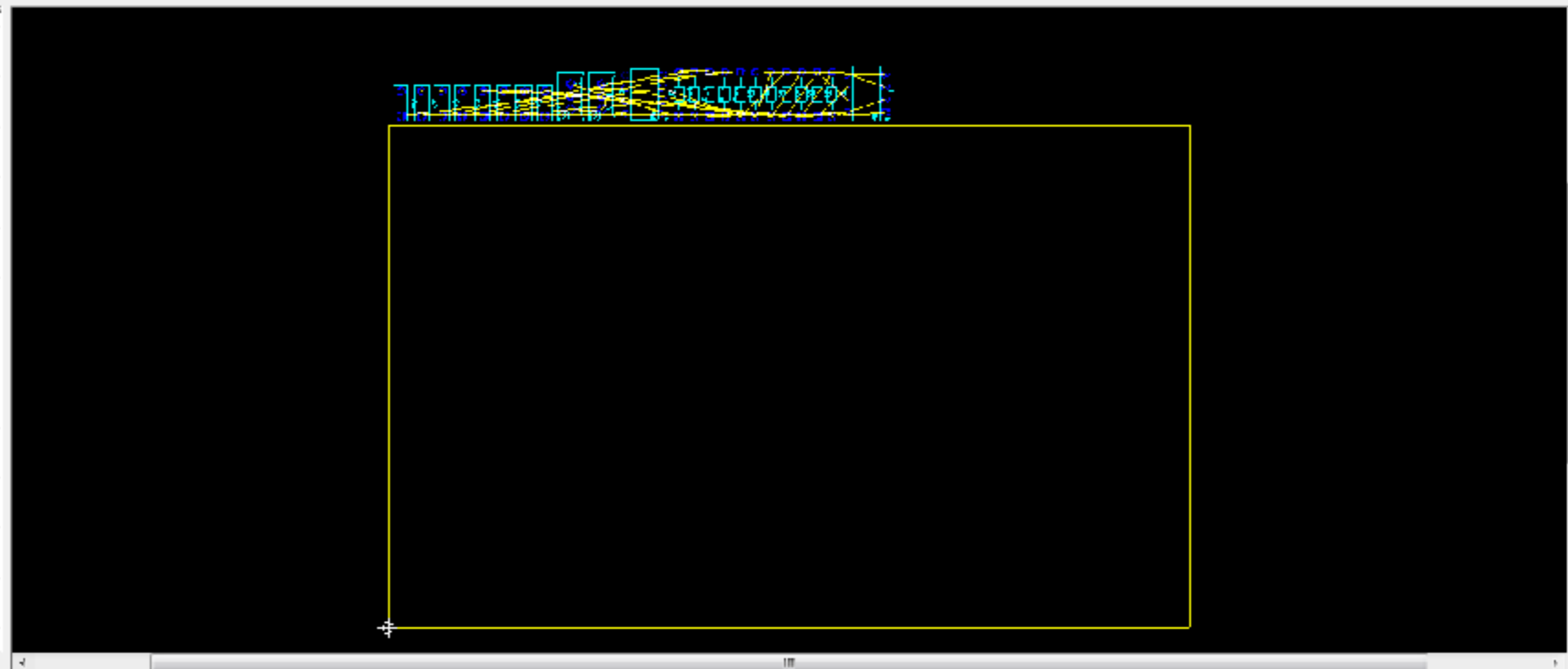
shss 2015 final proj PLP - Ultiboard - [shss 2015 final proj PLP \*]

File Edit View Place Design Transfer Tools Autoroute Options Window Help

Design toolbar with various icons for editing, viewing, and routing. The current layer is set to "Copper Top" and the drill size is "Automatic (0.254000 mm)".

Design Toolbox

- PCB
  - Copper Top
  - Copper Bottom
  - Keep In/Keep out
  - Board Outline
  - Silkscreen Top
  - Silkscreen Bottom
  - SD Info Top
  - SD Info Bottom
  - Solder Mask Top
  - Solder Mask Bottom
- Board assembly
  - Paste Mask Top
  - Paste Mask Bottom
  - Ink Mask Top
  - Glue Mask Bottom
- Information
  - Relnotes
  - Design Rule Check
  - Comment
- Mechanical
  - Mechanical 1
  - Mechanical 2



Projects Layers shss 2015 final proj PLP \*

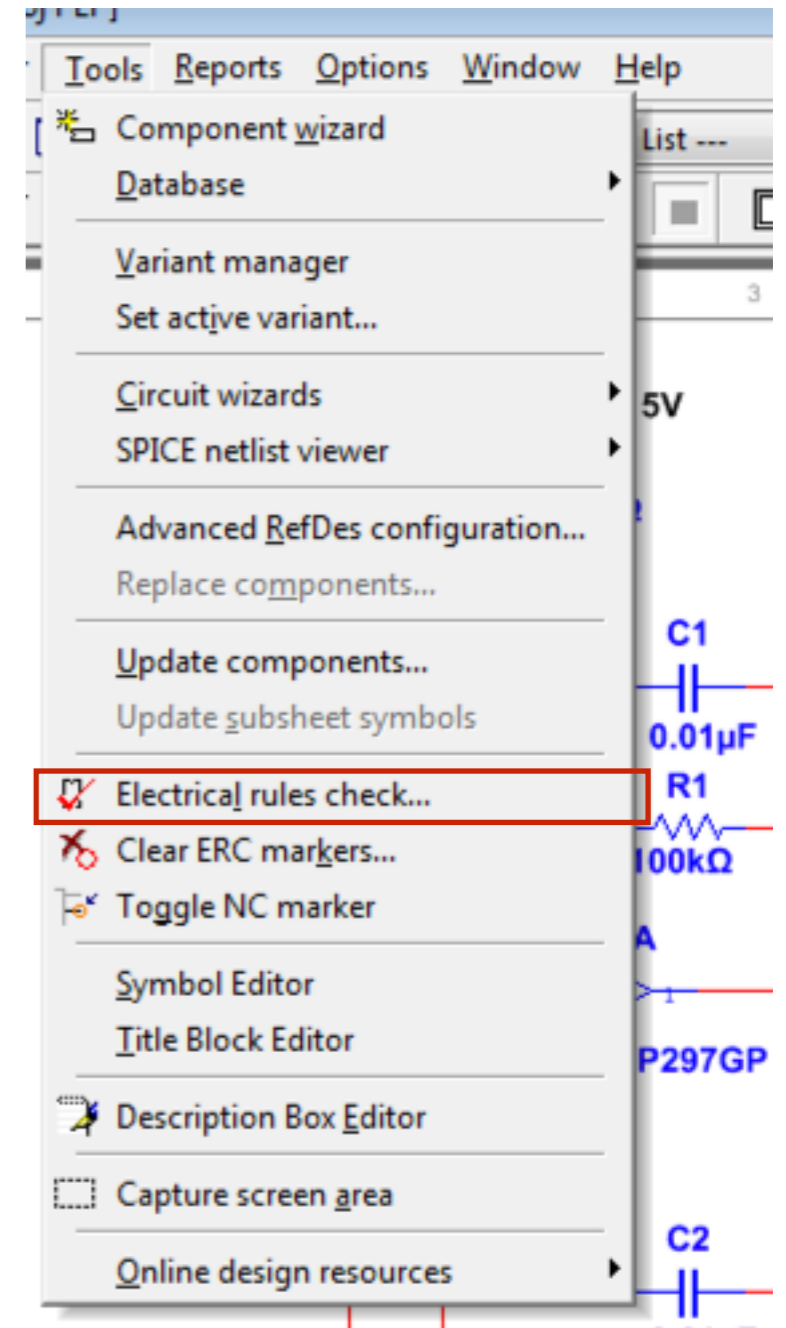
Ultiboard - 2015年7月23日, 下午 02:24:01  
Import netlist [shss 2015 final proj PLP] - 2015年7月23日, 下午 02:24:03  
Completed, 0 error(s), 0 warning(s); Time: 0:00:53

Results DRC Parts Part groups Nets Net groups SMT pads THT pads Vias Cooper areas Keep-ins/Keep-outs Cooper layers Parts position Statistics



# 設計檢查：Multisim 的 ERC

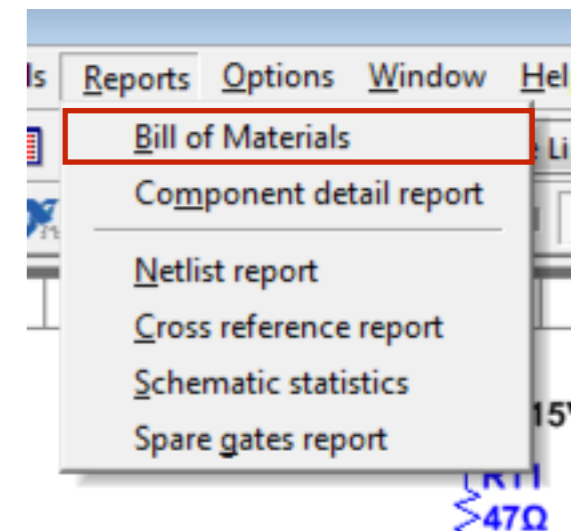
- 從功能選單中的 **Tools > Electrical rules check...** 開啟 ERC 視窗。
  - ERC (Electrical rules check) 能檢查出 Multisim 設計中可能的接線錯誤。
- ★ 輸出至 Ultiboard 前請先做 ERC !





# 設計檢查：Multisim 的料件表單

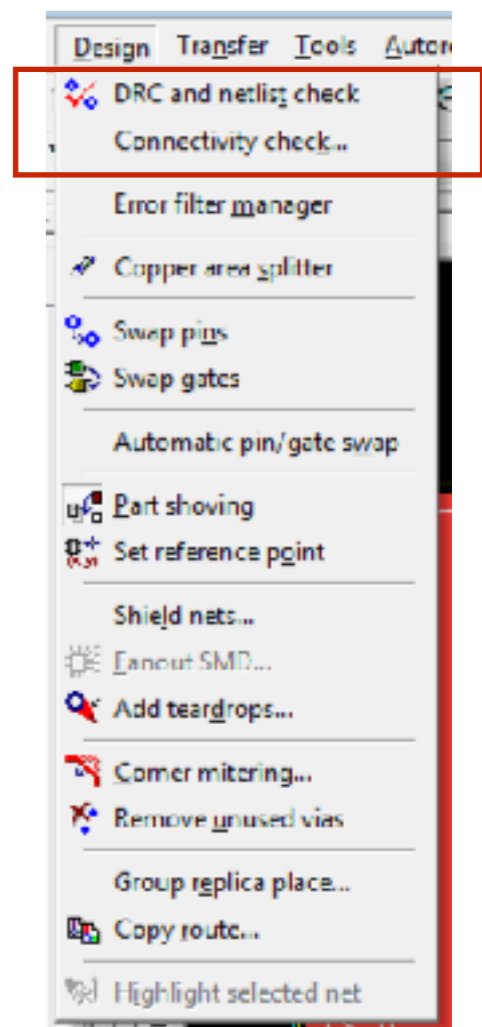
- 從功能選單中的 **Report > Bill of Materials** 開啟 料件表單。
  - 料件表單 (BOM) 會列出該設計所需要的所有元件。
- ★ 確定你有你所需要的元件！





# 設計檢查：Ultiboard 的 DRC 與 CC

- DRC 與 CC 在從功能選單中的 **Design > DRC and netlist check** 與 **Design > Connectivity check...** 中
- DRC (Design rules check) 能檢查出 Ultiboard 中不符合設計規則的繞線與佈件。
- Netlist check 會檢查 Netlist 在與 Multisim 同步或更改 Netlist 後可能造成的錯誤。
- CC (Connectivity check...) 會找出 Ultiboard 設計中的未接線與半接線。

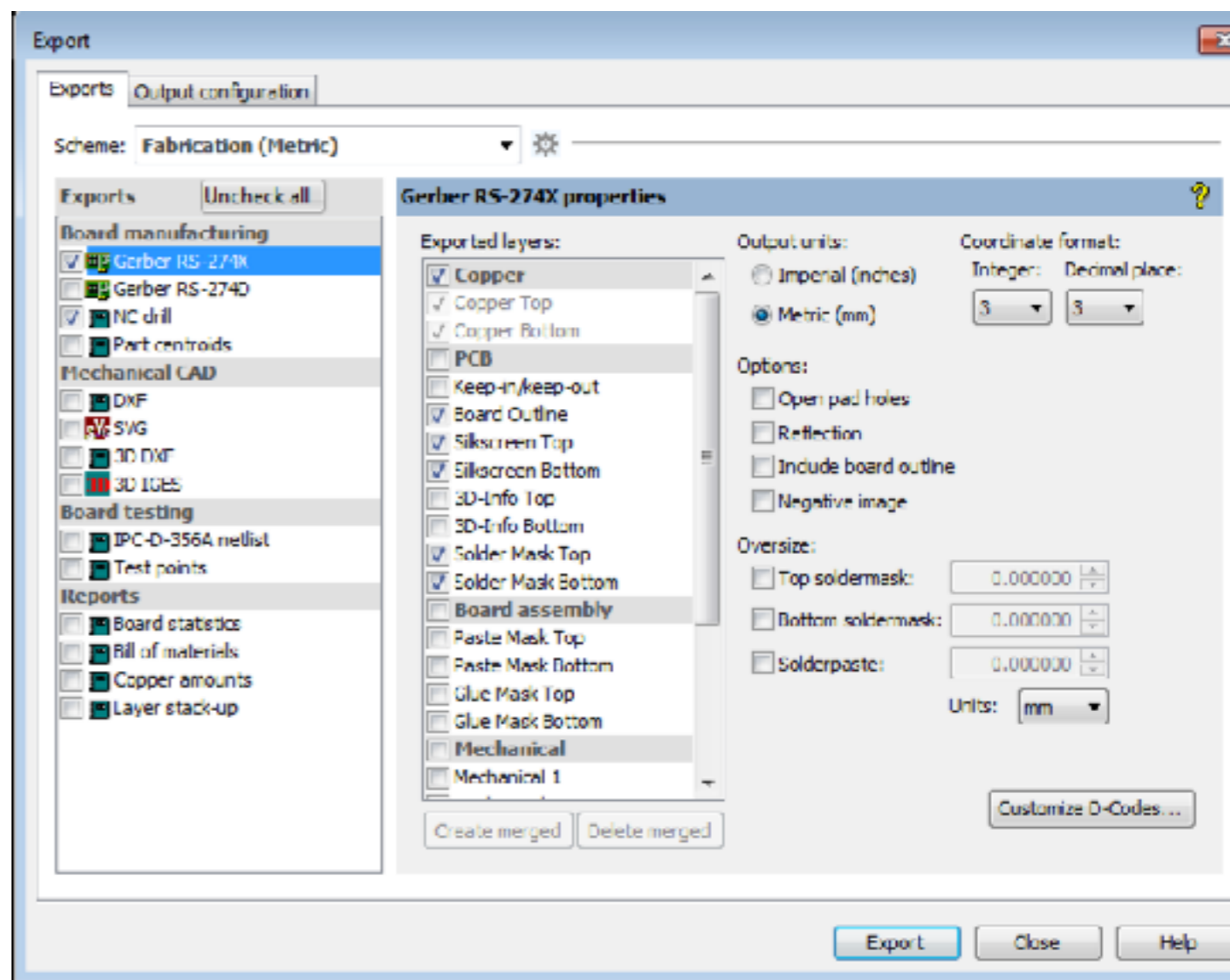


★ 開始電路佈局輸出前，請先完成所有檢查！



# 電路佈局輸出

- 在 Ultiboard 的 ① 功能選單中的 **File > Export** 開始電路佈局輸出
- 依照電路板廠或打件廠的需要，輸出適當的檔案。





# 佈件類比原則

- 在 Ultiboard 上佈件，應依**功能群組**，劃分不同的電路板**佈件區**。功能群組的劃分則基於 Multisim 設計。







# 練習題 #2

- 至 <https://goo.gl/xhY9Eq> 下載附件。
- 打開 **RPA.ewprj**，該 Ultiboard 檔為離子探測器的電路佈局設計，其中部分的元件擺放已經完成，試著去完成整個設計。
- **RPA\_final.ms14** 為該設計的 Multisim 檔，請參考該設計。

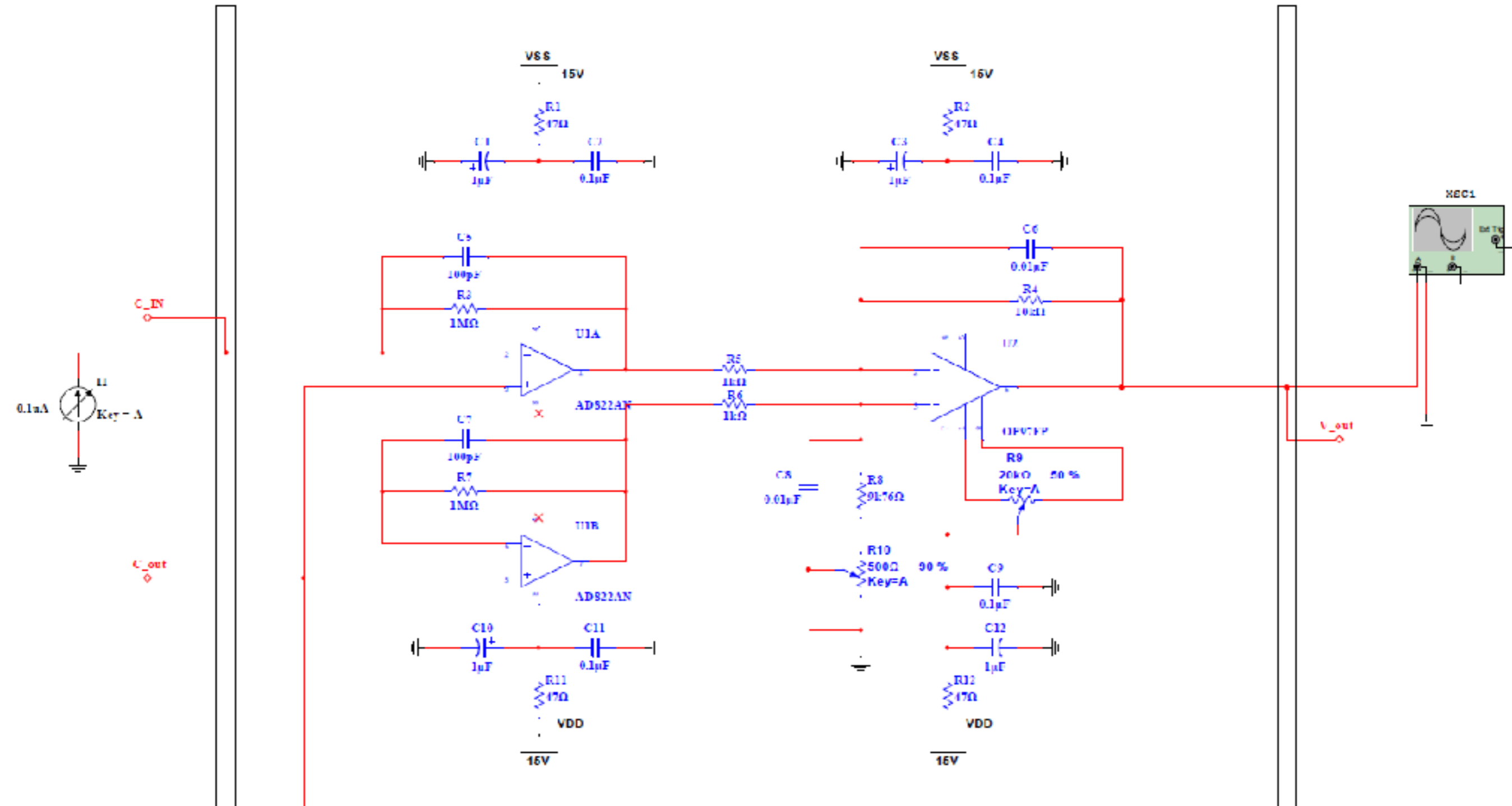


# 共同注意

- 繞線寬度至少 **0.3 mm**，應**避免**走銳角。繞線平面以 **Copper Bottom** 為主。
- 因此版不電鍍，繞線在 Copper Top 時須通知助教
- 建議以 **Power plane** 套用代號為「0」的接地線，並指定為 **Copper Bottom**。
- 一般來說，電源線路（例如：VSS 與 VDD）的無極性**電容**愈接近 IC 效果愈好。
- 要達到最佳佈局，請參照「佈件類比原則」。
- 元件之間靠太近會導致裝配不易；離電路版邊緣太近則不容易被保護。
- 不使用自動佈件與繞線。
- ★ 電路佈局輸出前，記得做 **DRC** 與 **CC**。

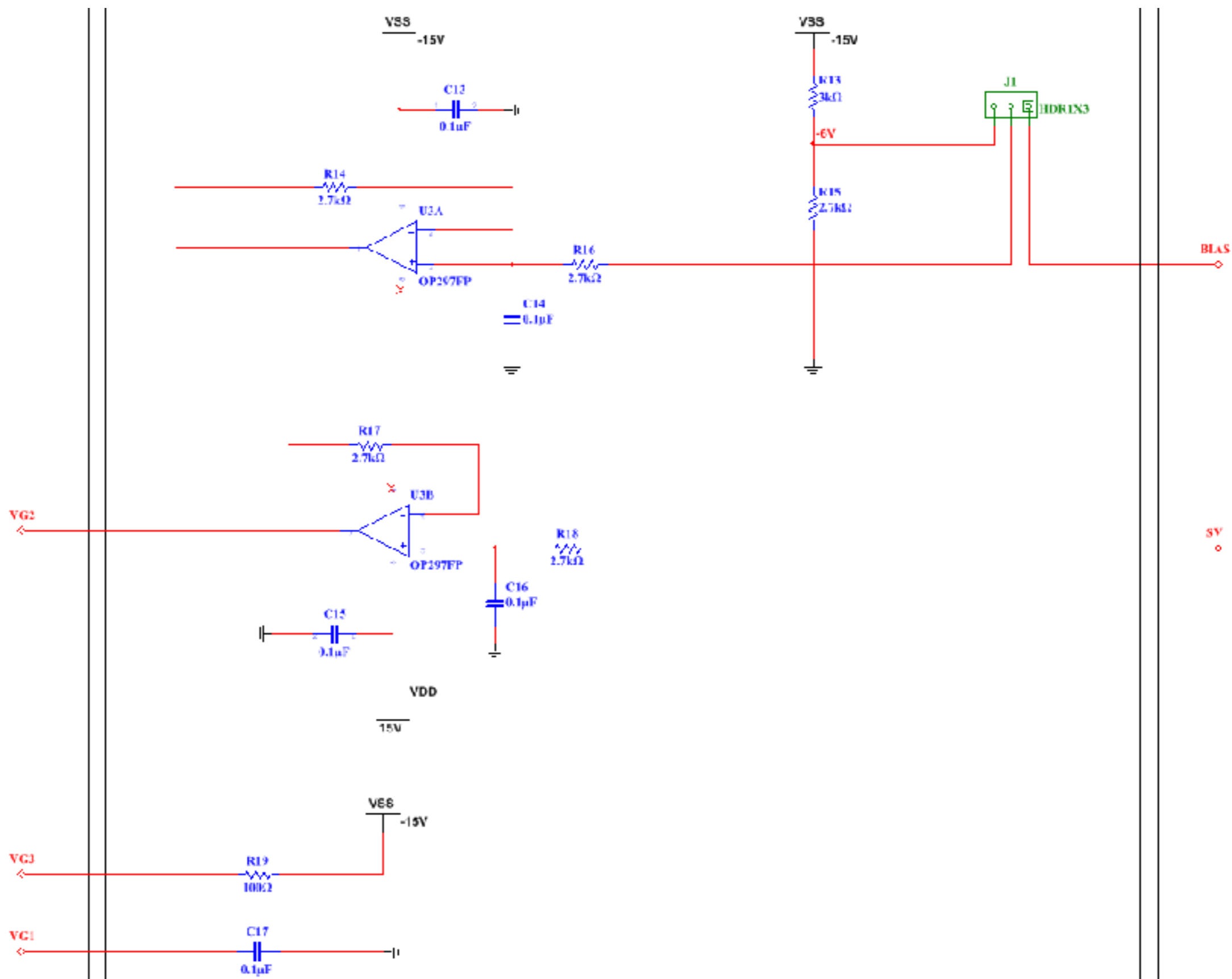


# 離子探測器電路圖



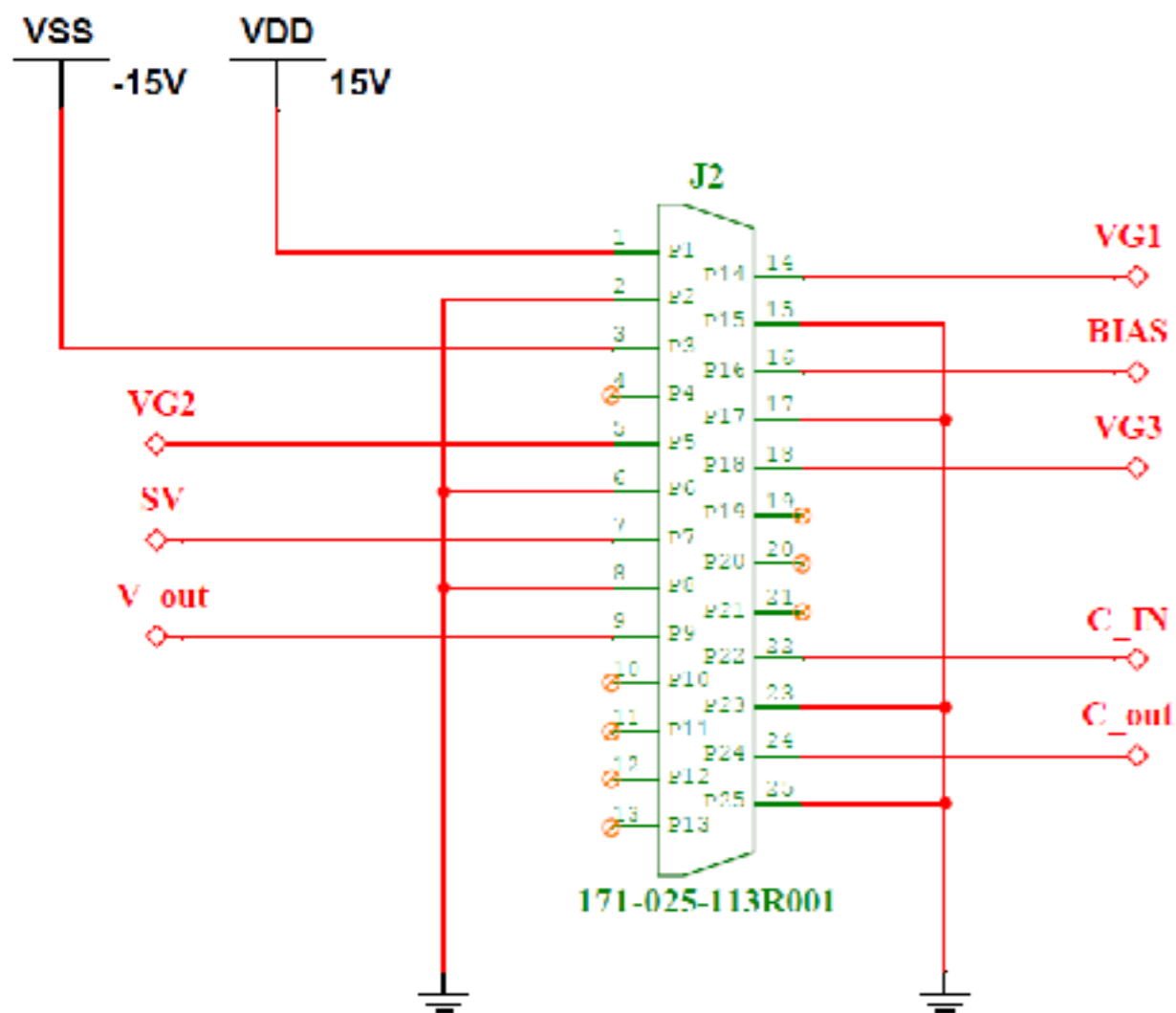


# 離子探測器電路圖 (續)





# 離子探測器電路接線圖

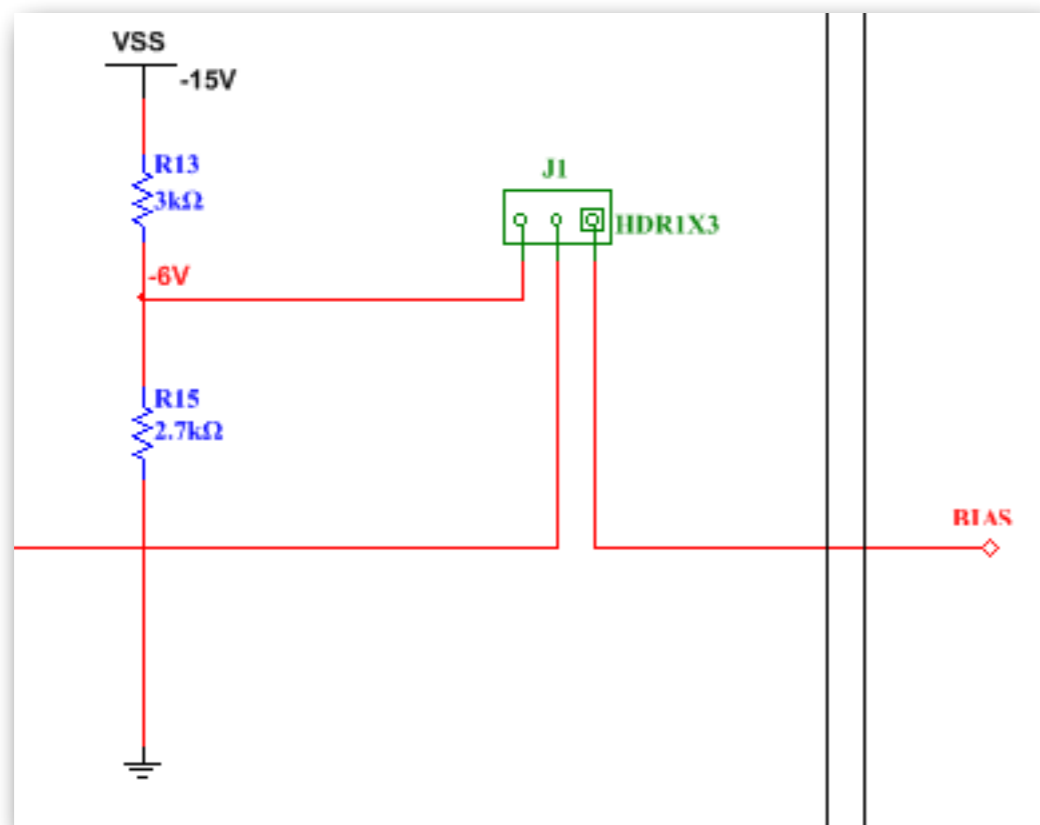


25 針 D 型接頭 (公)

針腳號碼	名稱	功能
1	+15V	正電源輸入
3	-15V	負電源輸入
5	VG2	至篩網 2
7	SV	掃描電壓輸入
9	VOUT	離子電流量測輸出
14	VG1	至篩網 1
16	BIAS	電極偏壓輸入
18	VG3	至篩網 3
22	CIN	至內收集平板
24	COUT	至外收集平板
2, 6, 8, 15, 17, 23, 25	GND	接地
其它	N/C	不連接



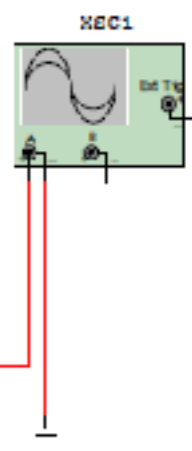
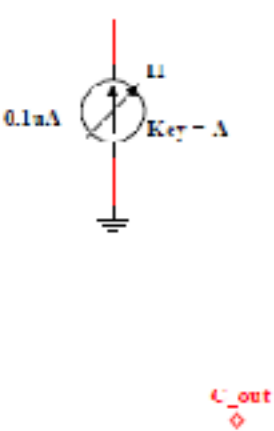
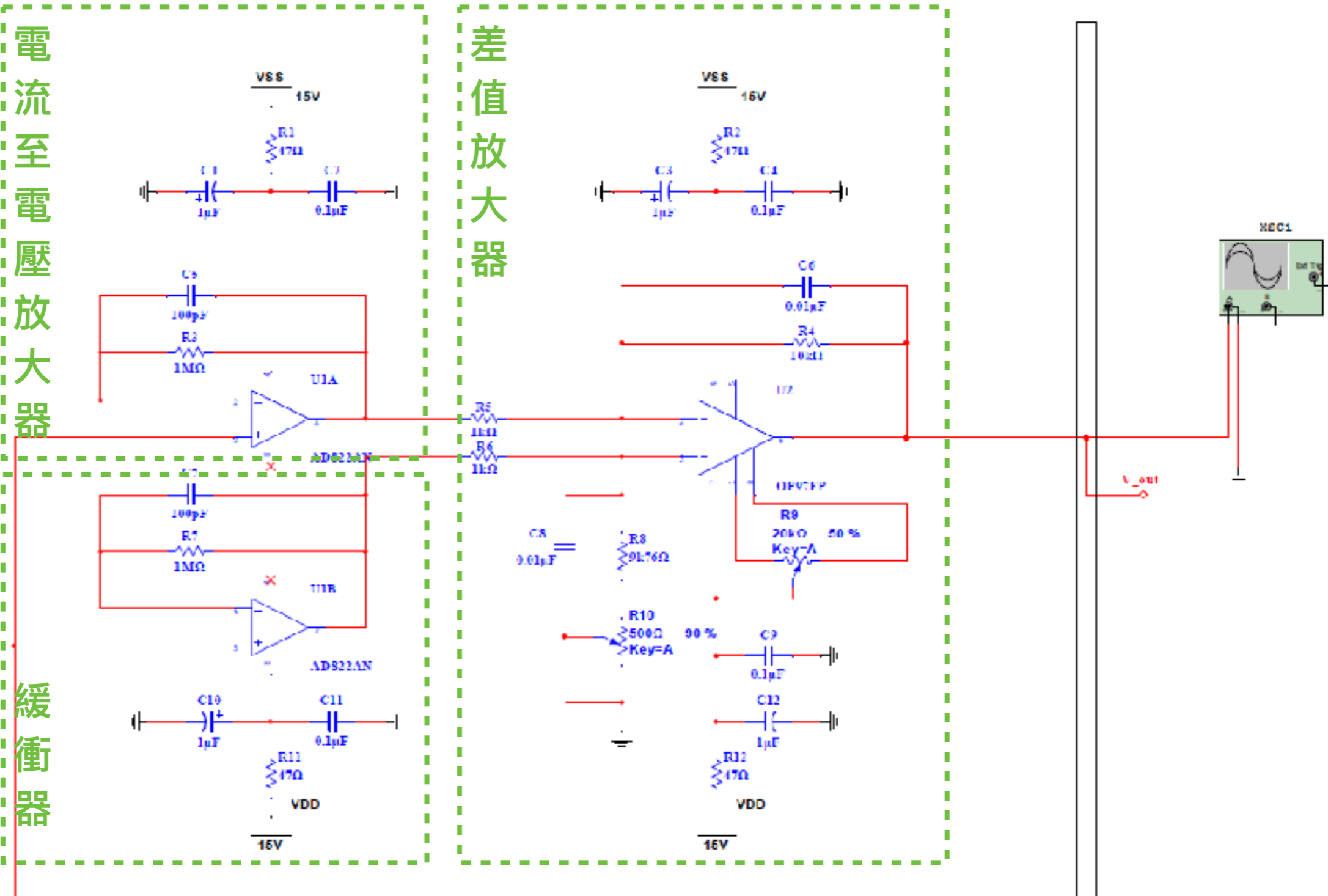
# 離子探測器電路接線圖



1×3 排針 (靠外側為針腳 1)	
組態	功能
1 與 2 短路	使用外部 BIAS 偏壓電壓
2 與 3 短路	使用內部 -6V 偏壓



# 電路功能群組





# 離子探測器電路 3D 模擬圖

